



This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0011310  
Application Number

출원년월일 : 2003년 02월 24일  
Date of Application FEB 24, 2003

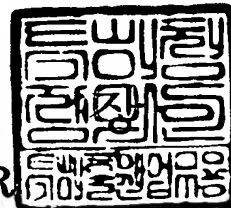
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.24
【발명의 명칭】	반도체 장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor device and Method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이재구
【성명의 영문표기】	LEE, Jae Goo
【주민등록번호】	680829-1481311
【우편번호】	442-390
【주소】	경기도 수원시 팔달구 신동 916번지 영풍3차 풍림아이원0 파트 104동 506호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤철주
【성명의 영문표기】	YUN, Cheol Ju
【주민등록번호】	691026-1573211
【우편번호】	463-020
【주소】	경기도 성남시 분당구 수내동 29번지 양지마을 한양아파트 603동 903 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규 에 의한 출원심사 를 청구합니다. 대리인 박영우 (인)



1020030011310

출력 일자: 2003/3/12

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 56 면 56,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 37 항 1,293,000 원

【합계】 1,378,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 장치 및 그 제조방법이 개시되어 있다. 캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성한다. 캐패시터 콘택 영역들 사이의 제1 절연층 상에 제1 도전층 및 비트라인 마스크층을 포함하는 비트라인을 형성한다. 비트라인 및 제1 절연층 상에 산화물 계열의 물질로 이루어진 제2 절연층을 형성한 후, 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴을 형성하여 스토리지 노드 콘택홀 영역을 오픈한다. 콘택 패턴을 마스크로 이용하여 스토리지 노드 콘택홀 영역의 제2 절연층을 제1 도전층 위의 소정 부위까지 부분 식각한다. 식각 영역의 측면에 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 제1 스페이서를 형성한 후, 제1 스페이서를 마스크로 이용하여 제2 절연층 및 제1 절연층을 식각하여 캐패시터 콘택 영역들을 노출하는 스토리지 노드 콘택홀을 형성한다. 이와 동시에, 제1 스페이서 하부의 각 비트라인의 측면에 제2 절연층으로 이루어진 제2 스페이서를 형성한다. 스토리지 노드 콘택홀을 제2 도전층으로 매립하여 스토리지 노드 콘택 패드를 형성한다. 비트라인 마스크층의 손실을 줄여 비트라인 마스크층의 두께를 감소시킬 수 있으며, 비트라인의 측면에 산화물로 이루어진 제2 스페이서를 형성하여 비트라인 로딩 캐패시턴스를 감소시킬 수 있다.

**【대표도】**

도 9b

## 【명세서】

## 【발명의 명칭】

반도체 장치 및 그 제조방법{Semiconductor device and Method of manufacturing the same}

## 【도면의 간단한 설명】

도 1a 내지 도 2b는 종래 방법에 의한 자기정렬 콘택 구조를 갖는 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 9d는 본 발명의 제1 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

도 10a 내지 도 15b는 본 발명의 제2 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 16a 내지 도 16f는 본 발명의 제3 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

100, 200, 300 : 반도체 기판 102, 202, 302 : 소자분리 영역

107, 207 : 워드라인 110, 210, 310 : 층간 절연막

112, 212, 312 : SAC 패드 114, 214, 314 : 제1 절연층

125, 219, 319 : 비트라인 124, 220, 320 : 제2 절연층

126 : 희생층 128, 222, 322 : 콘택 패턴

130, 224, 324 : 제1 스페이서 124a, 220a, 320a : 제2 스페이서

131, 226, 326 : 스토리지 노드 콘택홀

134, 230, 328 : 스토리지 노드 콘택 패드

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 다이내믹 랜덤 액세스 메모리(이하, DRAM이라 한다) 장치 및 그 제조방법에 관한 것이다.
- <15> 반도체 장치의 제조 기술들이 발달되고 메모리 장치에 대한 응용이 확대됨에 따라, 고 용량을 갖는 메모리 장치들이 개발되어 왔다. 특히, 하나의 캐패시터와 하나의 트랜지스터로 메모리 셀이 구성되는 DRAM 장치는 그 집적도가 현저히 향상되어 왔다.
- <16> 반도체 장치의 집적도가 증가함에 따라, 소자와 소자 또는 층과 층을 고전도성 박막으로 연결시키는 콘택홀의 크기는 감소하는 반면, 층간 절연막의 두께는 증가하고 있다. 따라서, 콘택홀의 어스펙트비(즉, 홀의 직경에 대한 홀의 길이의 비)가 증가하여 사진식각(photolithography process) 공정에서 콘택홀의 정렬 마진이 감소함으로써, 기존의 콘택 형성방법으로는 미세 크기의 콘택홀을 형성하는 것이 어렵게 되었다.
- <17> 이에 따라, DRAM 장치에서는 콘택홀의 어스펙트비를 감소시키기 위해 랜딩 패드(landing pad)를 사용하고 있으며,  $0.1\mu\text{m}$  이하의 패턴 크기에서는 자기정렬 콘택(self-aligned contact; 이하 SAC라 한다) 구조를 이용하여 정렬 마진의 감소에 따른 단락 발생의 문제를 해결하고 있다.

- <18> 도 1a 내지 도 2b는 종래 방법에 의한 SAC 구조를 갖는 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다. 여기서, 각 a도는 비트라인 방향의 단면도이고 각 b도는 워드라인 방향의 단면도이다.
- <19> 도 1a 및 도 1b를 참조하면, 셀로우 트렌치 소자분리(shallow trench isolation; STI)와 같은 통상의 소자분리 공정으로 반도체 기판(10) 상에 소자분리 영역(12)을 형성하여 액티브 영역을 정의한다. 그런 다음, 상기 기판(10) 상에 워드라인으로 제공되는 게이트 전극(14) 및 소오스/드레인 영역(도시하지 않음)을 포함하는 MOS 트랜지스터들을 형성한다. 상기 게이트 전극(14)의 상면에는 질화물로 이루어진 게이트 캡핑층(16)이 형성되고 그 측면에는 질화물로 이루어진 게이트 스페이서(18)가 형성된다.
- <20> 상기 MOS 트랜지스터들이 형성된 기판(10)의 전면에 산화물로 이루어진 제1 층간 절연막(20)을 형성한 후, 화학 기계적 연마(chemical mechanical polishing : CMP) 공정 또는 에치백 공정에 의해 상기 제1 층간 절연막(20)을 평탄화한다. 그런 다음, 질화물에 대해 높은 식각 선택비를 갖는 식각 조건으로 상기 제1 층간 절연막(20)을 식각하여 상기 게이트 전극(14)에 대해 자기정렬되면서 상기 소오스/드레인 영역을 노출시키는 콘택홀들을 형성한다.
- <21> 상기 제1 층간 절연막(20) 및 콘택홀들 상에 도핑된 폴리실리콘층을 증착한 후, CMP 또는 에치백 공정을 통해 상기 폴리실리콘층을 노드 분리하여 상기 소오스/드레인 영역과 접촉하는 SAC 패드들(22a, 22b)을 형성한다.
- <22> 이어서, 상기 제1 층간 절연막(20) 및 상기 SAC 패드들(22a, 22b) 상에 산화물로 이루어진 제2 층간 절연막(24)을 약 1000~3000Å의 두께로 증착한 후, CMP 또는 에치백 공정으로 상기 제2 층간 절연막(24)을 평탄화한다. 통상의 사진식각 공정에 의해 상기

제2 층간 절연막(24)을 부분적으로 식각하여 드레인 영역 상의 SAC 패드(22b)를 노출시키는 비트라인 콘택홀(도시하지 않음)을 형성한 후, 상기 비트라인 콘택홀 및 제2 층간 절연막(24) 상에 티타늄/티타늄 질화물(Ti/TiN)로 이루어진 장벽 금속층(도시하지 않음) 및 약 400~800Å 두께의 텅스텐층을 포함하는 비트라인용 제1 도전층(26)을 형성하고, 그 위에 질화물을 약 1000~3000Å의 두께로 증착하여 비트라인 마스크층(28)을 형성한다. 그런 다음, 사진식각 공정으로 상기 비트라인 마스크층(28) 및 제1 도전층(26)을 식각하여 제1 도전층(26) 및 비트라인 마스크층(28)으로 이루어진 비트라인(30)들을 형성한다. 여기서, 상기 비트라인 마스크층(28)은 스토리지 노드 콘택홀을 형성하기 위한 후속의 식각 공정시 비트라인(30)과 스토리지 노드 콘택홀 사이의 절연 간격(이를 솔더라 한다)을 넓히기 위해 통상 2000Å 이상의 두께로 두껍게 형성한다.

<23> 계속해서, 상기 비트라인(30) 및 제2 층간 절연막(24) 상에 후속 공정에서 형성될 제3 층간 절연막에 대해 식각 선택비를 갖는 물질, 예컨대 질화물을 증착하고 이를 이방성 식각하여 상기 비트라인(30)의 측면에 비트라인 스페이서(32)들을 형성한다. 이와 같이 비트라인(30)의 패터닝 직후 질화물로 이루어진 비트라인 스페이서(32)를 형성하기 위한 식각 공정을 진행하기 때문에, 동일한 질화물로 이루어진 비트라인 마스크층(28)의 표면이 일부분 손실(loss)된다.

<24> 이어서, 상기 결과물의 전면에는 BPSG(borophosphosilicate glass), USG(undoped silicate glass), HDP(high density plasma) 산화물 또는 CVD(chemical vapor deposition) 산화물로 이루어진 제3 층간 절연막(34)을 증착한 후, CMP 또는 에치백 공정으로 상기 제3 층간 절연막(34)을 평탄화한다.



<25> 도 2a 및 도 2b를 참조하면, 사진 공정으로 상기 제3 층간 절연막(34) 상에 스토리지 노드 콘택홀 영역을 한정하는 포토레지스트 패턴(도시하지 않음)을 형성한 후, 질화물로 이루어진 비트라인 스페이서(32)에 대해 높은 식각 선택비를 갖는 식각 가스로 상기 제3 층간 절연막(34) 및 제2 층간 절연막(24)을 건식 식각하여 상기 소오스 영역 상의 SAC 패드(22a)를 노출하는 스토리지 노드 콘택홀(36)을 형성한다. 이때, 상기 스토리지 노드 콘택홀(36)의 낮-오픈(not open)이 발생하지 않도록 과도 식각(over etching)을 수행한다. 따라서, 비트라인 마스크층(28)에 리세스(recess)가 발생하여 비트라인(30)과 스토리지 노드 콘택홀(36) 간의 솔더 부분이 취약해진다.

<26> 이어서, 상기 포토레지스트 패턴을 제거한 후, 상기 스토리지 노드 콘택홀(36)의 내부에 도핑된 폴리실리콘으로 이루어진 제2 도전층을 증착하고, CMP 또는 에치백 공정으로 상기 제2 도전층을 노드 분리하여 스토리지 노드 콘택 패드(38)를 형성한다.

<27> 상술한 종래 방법에 의하면, SAC 공정의 마진을 확보하기 위하여 질화물로 이루어진 비트라인 마스크층(28)의 두께를 증가시켜야 하므로 비트라인(30)의 높이가 높아지게 된다. 반면에, 패턴의 디자인 룰이  $0.1\mu\text{m}$  이하로 감소함에 따라 비트라인(30)과 비트라인(30) 사이의 간격이 줄어들게 되므로, 비트라인(30)의 어스펙트비가 증가하게 된다. 또한, 비트라인(30)의 측면에 비트라인 스페이서(32)가 형성되어 있는 상태에서 제3 층간 절연막(34)을 증착하면, 비트라인(30)들 사이의 간격이 더욱 줄어들게 되어 비트라인(30)의 어스펙트비가 더욱 증가하게 된다. 그 결과, 비트라인(30)과 비트라인(30) 사이의 갭(gap)을 제3 층간 절연막(34)이 충분히 채우지 못하여 보이드(void)가 발생하게 된다. 이와 같이 제3 층간 절연막(34) 내에 보이드가 형성되면, 후속의 세정 공정에 의해 상기 보이드가 확장되어 스토리지 노드 콘택 패드용 제2 도전층을 증착할 때

상기 제2 도전층이 확장된 보이드 내로 침투하게 된다. 따라서, 스토리지 노드 콘택 패드(38)들이 서로 연결되어 인접한 스토리지 노드 콘택 패드(38) 간에 브리지(bridge)가 발생하게 된다.

<28> 또한, SAC 공정의 마진을 확보하기 위하여 비트라인 마스크층(28)의 두께를 증가시키면, 비트라인 패터닝을 위한 포토레지스트막의 두께도 증가되어야 한다. 이 경우, 포토레지스트막의 쓰러짐에 의한 비트라인(30)의 리프팅(lifting)이 발생하게 된다.

<29> 또한, 비트라인 스페이서(32)를 형성하기 위한 식각 공정과 스토리지 노드 콘택홀(36)을 형성하기 위한 식각 공정시 비트라인 마스크층(28)이 어택(attack)을 받기 때문에, 비트라인(30)과 스토리지 노드 콘택 패드(38)가 전기적으로 단락되어 단일 비트 불량(single bit fail)이 발생할 수 있다.

<30> 비트라인은 DRAM 장치의 메모리 셀에 축적된 전하의 유·무를 검출하기 위한 배선이며, 주변 회로 영역의 센스 앰프에 연결된다. 메모리 셀에 축적된 전하의 검출에 의해 비트라인의 전압 변동이 검출되며, 이러한 전압 변동은 메모리 셀의 스토리지 캐패시턴스가 클수록 또는, 비트라인 로딩 캐패시턴스가 작을수록 커진다. 따라서, 비트라인 로딩 캐패시턴스를 작게 만드는 것이 센스 앰프의 감도를 향상시키는 것이므로, 신뢰성 향상 및 응답 속도의 향상 등의 측면에서 비트라인 로딩 캐패시턴스는 가능한 한 낮은 것이 바람직하다.

<31> 상술한 종래 방법에서는 SAC 공정에 따른 비트라인의 솔더 마진을 확보하기 위하여 비트라인(30)의 측벽에 유전율이 높은 질화물로 이루어진 비트라인 스페이서(32)를 형성하기 때문에, 기생 캐패시턴스, 즉 비트라인(30)과 스토리지 노드 콘택 패드(38) 사이 및 비트라인(30)과 인접한 비트라인(30) 사이의 비트라인 로딩 캐패시턴스가 커지게 된

다. 캐패시턴스 C는 두께가 작아질수록 커지는데, 패턴의 디자인-룰이 감소할수록 상기 비트라인 스페이서(32)의 두께가 작아지게 되고 이로 인해 비트라인 로딩 캐패시턴스가 더욱 증가하게 된다. 따라서, 비트라인 로딩 캐패시턴스를 고려하여 셀 어레이를 구성하는 비트라인의 개수를 감소시켜야 하므로, 단위 비트라인 당 셀의 개수가 감소함으로써 칩 효율(chip efficiency)이 줄어들게 된다.

<32> 미합중국 특허 제6,458,692호 및 일본국 공개 특허 2001-217405호에는 비트라인의 측벽에 유전율이 작은 실리콘 산화막으로 이루어진 스페이서를 형성하여 비트라인 로딩 캐패시턴스를 줄일 수 있는 콘택 형성방법들이 개시되어 있다. 그러나, 이들 방법들에 의하면 비트라인 마스크층의 두께를 줄이는 데 한계가 있어 층간 절연막의 갭 매립 마진이 감소하거나, 비트라인의 솔더 마진이 거의 없어 비트라인과 스토리지 노드 콘택 패드 간에 전기적 단락이 발생하는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<33> 따라서, 본 발명의 제1의 목적은 비트라인과 비트라인 사이의 갭을 보이드 없이 효과적으로 매립하고, 비트라인의 솔더 마진을 증가시키고, 비트라인 로딩 캐패시턴스를 감소시킬 수 있는 반도체 장치를 제공하는데 있다.

<34> 본 발명의 제2의 목적은 비트라인과 비트라인 사이의 갭을 보이드 없이 효과적으로 매립하고, 비트라인의 솔더 마진을 증가시키고, 비트라인 로딩 캐패시턴스를 감소시킬 수 있는 반도체 장치의 제조방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

<35>        상기한 제1의 목적을 달성하기 위하여 본 발명은, 캐패시터 콘택 영역들을 갖는 반도체 기판; 상기 기판 상에 형성된 제1 절연층; 상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 형성되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 비트라인 마스크층을 포함하는 비트라인들; 상기 비트라인 마스크층의 상단부에서 상기 제1 도전층 위의 소정 부위까지 각 비트라인의 측면 상부에 형성되고, 산화물 계열의 물질에 대해 식각 선택비를 갖는 물질로 이루어진 제1 스페이서들; 상기 제1 스페이서 하부의 각 비트라인의 측면에 형성되고, 산화물 계열의 제2 절연층으로 이루어진 제2 스페이서들; 및 상기 제1 및 제2 스페이서들의 외주면에 접하면서 상기 제1 절연층을 관통하여 상기 캐패시터 콘택 영역들을 노출하는 각각의 스토리지 노드 콘택홀의 내부에 형성된 스토리지 노드 콘택 패드용 제2 도전층을 구비하는 것을 특징으로 하는 반도체 장치를 제공한다.

<36>        본 발명의 바람직한 일 실시예에 의하면, 상기 제1 스페이서를 폴리실리콘으로 형성하여 상기 스토리지 노드 콘택 패드가 상기 제2 도전층과 제1 스페이서로 이루어진 T형의 단면 구조를 갖는다.

<37>        상기한 제2의 목적을 달성하기 위하여 본 발명은, 캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성하는 단계; 상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 제1 도전층 및 상기 제1 도전층 상에 적층된 비트라인 마스크층을 포함하는 비트라인들을 형성하는 단계; 상기 비트라인들 및 제1 절연층 상에 산화물 계열의 물질로 이루어진 제2 절연층을 형성하는 단계; 상기 결과물 상에 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패터들을 형성하여 스토리지 노드 콘택홀 영역을 오픈하는 단계; 상기 콘택 패터들을 마스크로 이용하여 상기 스토리지 노드 콘택홀

영역의 제2 절연층을 상기 제1 도전층 위의 소정 부위까지 부분 식각하는 단계; 상기 식각 영역의 측면에 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 제1 스페이서들을 형성하는 단계; 상기 제1 스페이서들을 마스크로 이용하여 상기 제2 절연층 및 제1 절연층을 식각하여 상기 캐패시터 콘택 영역들을 노출하는 스토리지 노드 콘택홀들을 형성함과 동시에, 상기 제1 스페이서 하부의 각 비트라인의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서를 형성하는 단계; 및 상기 스토리지 노드 콘택홀을 제2 도전층으로 매립하여 스토리지 노드 콘택 패드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.

<38> 본 발명의 바람직한 일 실시예에 의하면, 각각의 비트라인은 상기 비트라인 마스크층 상에 적층된 하나 이상의 버퍼층을 더 포함한다.

<39> 상기 콘택 패턴은 상기 비트라인과 직교하는 방향으로 인접하는 복수개의 스토리지 노드 콘택홀을 머지하여 오픈하는 라인 형태로 형성할 수도 있고, 스토리지 노드 콘택홀 영역을 하나씩 오픈하는 콘택 형태로 형성할 수도 있다.

<40> 또한, 본 발명의 상기한 제2의 목적은 캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성하는 단계; 상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 제1 도전층 및 상기 제1 도전층 상에 적층된 비트라인 마스크층을 포함하는 비트라인들을 형성하는 단계; 상기 비트라인들 및 제1 절연층 상에 산화물 계열의 물질로 이루어진 제2 절연층을 형성하는 단계; 상기 비트라인들의 상면까지 상기 제2 절연층을 평탄화하는 단계; 각 비트라인의 상면 위에 스토리지 노드 콘택홀 영역을 오픈하도록 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴들을 형성하는 단계; 각 콘택 패턴의 측벽에 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 제1

스페이서들을 형성하는 단계; 상기 콘택 패턴 및 콘택 스페이서들을 마스크로 이용하여 상기 제2 절연층 및 제1 절연층을 식각하여 상기 캐패시터 콘택 영역들을 노출하는 스토리지 노드 콘택홀들을 형성함과 동시에, 각 비트라인의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서를 형성하는 단계; 및 상기 스토리지 노드 콘택홀을 제2 도전층으로 매립하여 스토리지 노드 콘택 패드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법에 의해 달성될 수 있다.

<41> 본 발명에 의하면, 비트라인의 패터닝 직후 비트라인 스페이서를 형성하지 않고, 제2 절연층의 부분 식각 후 비트라인 마스크층의 측면에 제1 스페이서를 형성하기 때문에 비트라인 마스크층의 손실을 현저하게 줄일 수 있다. 이로 인해 비트라인 마스크층의 두께를 최소한으로 낮출 수 있으며, 비트라인 스페이서를 형성하지 않은 상태에서 제2 절연층을 증착하므로 비트라인의 어스펙트비가 감소된다. 따라서, 비트라인과 비트라인 사이의 갭 매립 마진을 증가시킬 수 있다.

<42> 또한, 비트라인 마스크층의 측면에 제1 스페이서를 형성한 후 스토리지 노드 콘택 식각 공정을 진행하므로, 비트라인의 솔더 마진이 증가하여 비트라인과 스토리지 노드 콘택 패드 간의 전기적 단락을 방지할 수 있다.

<43> 또한, 비트라인의 측면에 유전율이 작은 산화물 계열의 물질로 이루어진 제2 스페이서가 형성되므로, 비트라인과 스토리지 노드 콘택 패드 사이 및 비트라인과 인접한 비트라인 사이의 기생 캐패시턴스, 즉 비트라인 로딩 캐패시턴스를 줄일 수 있다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

<45> 실시예 1

<46> 도 3a 내지 도 9d는 본 발명의 제1 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 평면도 및 단면도들이다.

<47> 도 3a는 워드라인(107) 및 비트라인(125)이 형성된 기판의 평면도이고, 도 3b 및 도 3c는 각각 도 3a의 AA'선 및 BB'선에 따른 단면도들이다. 셀로우 트렌치 소자분리(STI)와 같은 통상의 소자분리 공정을 통해 반도체 기판(100)에 소자분리 영역(102)을 형성하여 액티브 영역을 정의한다. 상기 액티브 영역은 바(bar) 형태나 T자 형태로 형성한다.

<48> 열적 산화법으로 상기 기판(100)의 액티브 영역의 표면에 얇은 게이트 산화막(도시하지 않음)을 성장시킨 후, 그 위에 게이트 도전층(104) 및 게이트 마스크층(106)을 차례로 증착한다. 바람직하게는, 상기 게이트 도전층(104)은 도핑된 폴리실리콘층 및 금속실리사이드층이 적층된 폴리사이드 구조로 형성한다. 상기 게이트 마스크층(106)은 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물 계열의 물질로 형성한다. 이어서, 사진식각 공정으로 상기 게이트 마스크층(106) 및 게이트 도전층(104)을 패터닝하여 워드라인(107)을 형성한다. 구체적으로, 포토레지스트 마스크를 이용하여 상기 게이트 마스크층(106) 및 게이트 도전층(104)을 한꺼번에 패터닝할 수도 있고, 포토레지스트 마스크를 이용하여 게이트 마스크층(106)을 먼저 패터닝한 후 포토레지스트 마스크를 제거하고 패터닝된 게이트 마스크층(106)을 이용하여 게이트 도전층(104)을 패터닝할 수도 있다.

<49> 상기 워드라인(107)들이 형성된 기판(100)의 전면에 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물 계열의 절연막을 증착

하고, 상기 절연막을 이방성 식각하여 각각의 워드라인(107)의 측면에 게이트 스페이서(108)를 형성한다. 따라서, 상기 워드라인(107)은 그 상면 및 측면이 절연막, 즉 게이트 마스크층(106) 및 게이트 스페이서(108)로 둘러싸이므로 인접한 워드라인(107)과 전기적으로 격리된다.

<50>        그런 다음, 통상의 이온주입 공정을 통해 상기 게이트 스페이서(108) 양측의 액티브 영역의 표면에 MOS 트랜지스터의 소오스/드레인 영역(도시하지 않음)을 형성한다. 여기서, 상기 게이트 스페이서(108)를 형성하기 전에, LDD 이온주입을 실시하여 워드라인(107) 양측의 액티브 영역의 표면에 저농도의 소오스/드레인 영역을 형성함으로써, LDD 구조의 소오스/드레인을 구현할 수도 있다. 상기 소오스/드레인 영역 중의 하나는 캐패시터의 스토리지 전극이 접속되어질 스토리지 노드 콘택 영역이며, 다른 하나는 비트라인이 접속되어질 비트라인 콘택 영역이다.

<51>        이어서, MOS 트랜지스터들을 포함한 기판(100)의 전면에 산화물 계열의 물질로 이루어진 층간 절연막(110)을 형성한 후, CMP, 에치백 또는 이들을 조합한 공정으로 상기 층간 절연막(110)을 평탄화한다. 그런 다음, 질화물로 이루어진 게이트 마스크층(108)에 대해 높은 식각 선택비를 갖는 식각 가스를 이용하여 상기 층간 절연막(110)을 이방성 식각함으로써, 상기 워드라인(108)에 자기정렬되면서 소오스/드레인 영역을 노출시키는 콘택홀들을 형성한다.

<52>        상기 콘택홀들을 매립하도록 고농도의 불순물로 도핑된 폴리실리콘층을 증착한 후, 상기 게이트 마스크층(106)의 상부 표면이 노출될 때까지 CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정에 의해 상기 폴리실리콘층 및 층간 절연막(110)을 평탄화한다. 그러면, 각각의 콘택홀 내에 노드 분리된 SAC 패드들(112a, 112b)이 형성된다. 본



실시예에서는, 소오스 영역과 접촉하는 SAC 패드(112a)가 스토리지 노드 콘택 영역이 되고 드레인 영역과 접촉하는 SAC 패드(112b)가 비트라인 콘택 영역이 된다.

<53> 상술한 바와 같이 SAC 패드들(112a, 112b)을 형성한 후, 결과물의 전면에 BPSG, USG, HDP 산화물 또는 CVD 산화물과 같은 산화물 계열의 물질을 1000~3000Å 정도의 두께, 바람직하게는 약 2000Å의 두께로 증착하여 제1 절연층(114)을 형성한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 상기 제1 절연층(114)의 표면을 평탄화한다. 이때, 상기 제1 절연층(114)이 비트라인의 하부에서 약 1000~2000Å의 두께로 남아있도록 평탄화를 진행한다. 상기 제1 절연층(114)은 SAC 패드들(112a, 112b)과 그 위에 형성되어질 비트라인을 서로 격리시키는 층간 절연막으로 사용된다.

<54> 그런 다음, 사진식각 공정에 의해 상기 제1 절연층(114)을 식각하여 드레인 영역상의 SAC 패드(112b)를 노출하는 비트라인 콘택홀(도시하지 않음)을 형성하고, 결과물의 전면에서 제1 도전층(116), 비트라인 마스크층(118), 제1 버퍼층(120) 및 제2 버퍼층(122)을 순차적으로 증착한다. 바람직하게는, 상기 제1 도전층(116)은 제1 금속 및/또는 상기 제1 금속의 화합물, 예를 들어 티타늄/티타늄 질화물(Ti/TiN)로 이루어진 제1 층 및 제2 금속, 예를 들어 텅스텐(W)으로 이루어진 제2 층의 복합 층으로 형성한다. 상기 비트라인 마스크층(118)은 스토리지 노드 콘택홀을 형성하기 위한 후속의 식각 공정시 그 하부의 제1 도전층(116)을 보호하는 역할을 하며, 후속 공정에서 증착되는 제2 절연층에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물로 형성한다.

<55> 상기 제1 버퍼층(120)은 상기 제2 절연층을 부분 식각하는 후속 공정시 그 하부의 비트라인 마스크층(118)을 보호하는 역할을 하며, 상기 제2 절연층에 대해 식각 선택비

를 가지면서 후속 공정에서 증착되는 스토리지 노드 콘택 패드용 제2 도전층과 유사한 연마 속도(removal rate)를 갖는 물질, 바람직하게는 폴리실리콘으로 형성한다. 상기 제2 버퍼층(122)은 후속의 비트라인 패터닝 공정시 제1 도전층(116)을 식각하는 과정에서 제1 버퍼층(120)의 리세스를 방지하는 역할을 하며, 상기 제1 버퍼층(120)에 대해 식각 선택비를 갖는 물질, 바람직하게는 산화물로 형성한다.

<56>       이어서, 사진식각 공정으로 상기 제2 버퍼층(122), 제1 버퍼층(120), 비트라인 마스크층(118) 및 제1 도전층(116)을 패터닝하여 다층 구조의 비트라인(125)들을 형성한다. 상기 비트라인(125)은 위드라인(107)과 직교하도록 형성된다.

<57>       상술한 단계에 의하면, 이중 층으로 이루어진 제1 도전층(116)이 직접 비트라인 콘택홀에 접촉되어 형성된다. 이와는 달리, 상기 비트라인 콘택홀의 내부에 비트라인 콘택 패드를 형성한 후, 상기 비트라인 콘택 패드에 직접 접촉되도록 제1 도전층(116)을 형성할 수도 있다. 즉, 상기 비트라인 콘택홀이 형성된 결과물의 전면에 티타늄/티타늄 질화물(Ti/TiN)로 이루어진 장벽 금속층 및 텅스텐으로 이루어진 제3 금속층을 증착한 후, 에치백 또는 CMP 공정으로 상기 제1 절연층(114)의 표면이 노출될 때까지 제3 금속층을 제거한다. 그러면, 상기 비트라인 콘택홀의 내부에 상기 장벽 금속층과 제3 금속층으로 이루어진 비트라인 콘택 패드가 형성된다. 이와 같이 비트라인 콘택 패드가 형성되면, 결과물의 전면에 제4 금속, 예컨대 텅스텐으로 이루어진 제1 도전층(116)을 증착한다. 따라서, 비트라인 콘택 패드를 형성할 경우에는 상기 제1 도전층(116)이 단일 층으로 형성된다.

<58>       상기 비트라인(125) 및 제1 절연층(114) 상에 BPSG, USG, HDP 산화물 또는 CVD 산화물과 같은 산화물 계열의 물질을 증착하여 제2 절연층(124)을 형성한 후, CMP 공정,

에치백 공정 또는 CMP와 에치백을 조합한 공정으로 상기 비트라인(125)의 상부 표면까지 제2 절연층(124)을 평탄화한다. 여기서, 상기 제1 도전층(116)이 텅스텐을 포함하고 있을 경우, 고온 산화막과 같이 고온에서 증착되거나 BPSG나 SOG와 같이 증착 후 고온의 베이킹 공정이 필요한 산화막으로 제2 절연층(124)을 형성하면 제1 도전층(116)의 측면이 노출되어 있기 때문에 텅스텐이 산화되는 문제가 발생한다. 따라서, 이러한 문제를 방지하기 위해 저온에서 증착되면서 보이드 없이 겹 매립을 구현할 수 있는 HDP 산화물로 제2 절연층(124)을 형성하는 것이 바람직하다.

<59> 또한, 비트라인(125)과 비트라인(125) 사이에 보이드가 발생하는 것을 제거하기 위하여 상기 제2 절연층(124)을 형성하기 전에 질화막을 약 50~200 Å의 두께로 증착할 수도 있다.

<60> 도 4a는 희생층(126) 및 콘택 패턴(128)이 형성된 기판의 평면도이고, 도 4b, 도 4c 및 도 4d는 각각 도 4a의 AA'선, BB'선 및 CC'선에 따른 단면도들이다. 상기 평탄화된 제2 절연층(124) 및 비트라인(125) 상에 상기 제2 절연층(124)에 비해 빠른 식각 속도를 갖는 산화물을 증착하여 희생층(126)을 형성한다. 예를 들어, 상기 제2 절연층(124)이 HDP 산화물로 형성되면, 상기 희생층(126)은 고농도의 BPSG로 형성한다. 상기 희생층(126)은 후속하는 스토리지 노드 콘택 패드용 제2 도전층의 평탄화 공정시 비트라인 마스크층(118)의 손실을 줄여 텅스텐으로 이루어진 제1 도전층(116)을 보호하는 역할을 한다.

<61> 이어서, 상기 희생층(126) 상에 상기 제2 절연층(124)에 대해 식각 선택비를 가지면서 후속 공정에서 증착되는 스토리지 노드 콘택 패드용 제2 도전층과 유사한 연마 속도를 갖는 물질, 바람직하게는 폴리실리콘을 증착하고 이를 사진식각 공정으로 패터닝하

여 스토리지 노드 콘택홀이 형성되어질 영역을 오픈하는 스토리지 노드 콘택 패턴(128)들을 형성한다. 상기 콘택 패턴(128)은 후속 사진 공정의 마진을 증대시키고 후속하는 제2 절연층(124)의 부분 식각 공정시 스토리지 노드 콘택 패드가 형성되지 않는 영역들(도 4a의 CC' 방향의 영역, 주변회로 영역 및 코어 영역)을 버퍼링하는 역할을 한다. 바람직하게는, 각각의 콘택 패턴(128)은 비트라인(125)과 직교하는 방향, 즉 워드라인 방향으로 인접하는 복수개의 스토리지 노드 콘택홀을 머지(merge)하여 오픈하는 라인 형태로 형성한다. 이와 같이 라인 형태로 콘택 패턴(128)을 형성하면, 후속 사진 공정시 미스얼라인먼트를 방지할 수 있고 후속하는 스토리지 노드 콘택 식각 공정시 오픈 면적이 넓어 식각 저지(etch stop) 문제를 해결할 수 있다. 또한, 라인 형태의 콘택 패턴(128)에 의해 오픈 면적이 셀 어레이 내에서 동일해지기 때문에, 후속하는 제2 절연층(124)의 부분 식각 공정시 제2 절연층(124)의 두께 변동을 줄일 수 있다.

<62> 도 5a는 제1 스페이서(130)가 형성된 기판의 평면도이고, 도 5b, 도 5c 및 도 5d는 각각 도 5a의 AA'선, BB'선 및 CC'선에 따른 단면도들이다. 상술한 바와 같이 라인형 콘택 패턴(128)들을 형성한 후, 상기 콘택 패턴(128)을 식각 마스크로 이용한 타임 식각(time etch) 방식에 의해 산화물로 이루어진 희생층(126) 및 제2 절연층(124)을 제1 도전층(116) 위의 소정 부위까지 부분 식각한다. 바람직하게는, 텅스텐으로 이루어진 제1 도전층(116)으로부터 위로 약 500Å 이상 되는 지점에서 식각을 종료한다. 상기 식각 공정에 의해 제2 버퍼층(122)이 제거된다.

<63> 그런 다음, 결과물의 전면에 상기 제2 절연층(124)에 대해 식각 선택비를 가지면서 후속 공정에서 증착되는 스토리지 노드 콘택 패드용 제2 도전층과 유사한 연마 속도를 갖는 물질, 바람직하게는 폴리실리콘을 약 200~600Å의 두께로 증착하고 이를 이방성

식각하여 상기 부분 식각된 영역의 측면에 제1 스페이서(130)를 형성한다. 구체적으로, 폴리실리콘으로 이루어진 상기 제1 스페이서(130)는 비트라인(125)을 구성하는 제1 버퍼층(120)의 측면 및 비트라인 마스크층(118)의 측면 일부분에 형성된다. 상기 제1 스페이서(130)를 비트라인(125)의 측면 상에서 제1 도전층(116) 위의 소정 부분까지만 형성하는 이유는 후속 공정에서 제1 스페이서(130) 하부의 비트라인(125) 측면에 제2 절연층(124)으로 이루어진 제2 스페이서를 형성하여 비트라인 로딩 캐패시턴스를 줄이기 위해서이다. 통상적으로 폴리실리콘은 산화물 뿐만 아니라 질화물에 대해서도 높은 식각 선택비를 갖기 때문에, 상기 제1 스페이서(130)를 폴리실리콘으로 형성할 경우 후속의 스토리지 노드 콘택 식각 공정시 비트라인 마스크층(118)의 손실을 방지하고 솔더 마진을 충분히 확보할 수 있다.

<64> 이때, 스토리지 노드 콘택 패드가 형성되지 않는 영역들(도 4a의 CC' 방향의 영역, 주변회로 영역 및 코어 영역)은 콘택 패턴(128)으로 덮여있기 때문에 상기 제1 스페이서(130)가 형성되지 않는다.

<65> 도 6a는 스토리지 노드 콘택홀(131)들이 형성된 기판의 평면도이고, 도 6b, 도 6c 및 도 6d는 각각 도 6a의 AA'선, BB'선 및 CC'선에 따른 단면도들이다. 폴리실리콘으로 이루어진 제1 스페이서(130)를 식각 마스크로 이용하여 산화물로 이루어진 제2 절연층(124) 및 제1 절연층(114)을 건식 식각함으로써 캐패시터 콘택 영역, 즉 소오스 영역 상의 SAC 패드(112a)를 노출하는 스토리지 노드 콘택홀(131)을 형성한다. 이와 동시에, 상기 제1 스페이서(130) 하부의 각 비트라인(125)의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서(124a)가 형성된다. 즉, 각 비트라인(125) 측면의 상부에는 폴리실리콘으

로 이루어진 제1 스페이서(130)가 형성되고, 하부에는 산화물로 이루어진 제2 스페이서(124a)가 형성된다.

<66> 이때, 스토리지 노드 콘택 패드가 형성되지 않는 영역들(도 4a의 CC' 방향의 영역, 주변회로 영역 및 코어 영역)은 콘택 패턴(128)으로 덮여있기 때문에 식각이 이루어지지 않는다.

<67> 도 7a는 제2 도전층(132)이 형성된 기판의 평면도이고, 도 7b, 도 7c 및 도 7d는 각각 도 7a의 AA'선, BB'선 및 CC'선에 따른 단면도들이다. 상술한 바와 같이 스토리지 노드 콘택홀(131)을 형성한 후, 통상의 세정 공정을 진행하여 스토리지 노드 콘택홀(131)을 통해 노출된 SAC 패드(112a) 위에 성장된 자연 산화막, 폴리머 및 각종 이물질 등을 제거한다.

<68> 이어서, 상기 스토리지 노드 콘택홀(131)을 매립하도록 비트라인(125), 제2 절연층(124) 및 콘택 패턴(128)의 상부에 연속적으로 제2 도전층(132), 예컨대 폴리실리콘층을 증착한 후, CMP, 에치백 또는 CMP와 에치백을 조합한 평탄화 공정으로 스토리지 노드 콘택 패드가 형성되지 않는 영역에 남아있는 희생층(126)의 상부 표면이 노출될 때까지 상기 제2 도전층(132)을 제거한다. 상기 평탄화 공정에 의해 폴리실리콘으로 이루어진 콘택 패턴(128)이 제거된다.

<69> 도 8a는 제2 도전층(132)이 노출된 기판의 평면도이고, 도 8b, 도 8c 및 도 8d는 각각 도 8a의 AA'선, BB'선 및 CC'선에 따른 단면도들이다. 스토리지 노드 콘택 패드가 형성되지 않는 영역에서 노출되어 있는 희생층(126)은 그 하부의 제2 절연층(124)에 비해 빠른 식각 속도를 갖기 때문에, 습식 식각 공정으로 상기 희생층(126)을 식각하면 그 하부의 제2 절연층(124)에서 식각이 종료된다. 따라서, 상기 희생층(126)을 습식 식각

으로 제거하여 제2 도전층(132)이 돌출된 메사(mesa) 구조를 형성한다. 상기 희생층(126)을 제거하는 이유는 다음과 같다.

<70> 즉, 상기 콘택 패턴(128)에 의해 오픈된 영역과 커버된 영역 간에 1000 Å 정도의 단차가 발생하기 때문에, 이 상태에서 스토리지 노드 콘택 패드의 노드 분리를 위해 CMP 공정을 진행하면 비트라인 마스크층(118)이 손실되어 그 하부의 제1 도전층(116)이 노출될 수 있다. 따라서, 산화물 대비 폴리실리콘의 리세스가 빠르기 때문에 스토리지 노드 콘택 패드가 형성되지 않는 영역, 즉 콘택 패턴(128)으로 커버되었던 영역의 희생층(126)을 제거하면 이러한 단차 문제를 극복할 수 있다.

<71> 도 9a는 스토리지 노드 콘택 패드(134)가 형성된 기판의 평면도이고, 도 9b, 도 9c 및 도 9d는 각각 도 9a의 AA'선, BB'선 및 CC'선에 따른 단면도들이다. 상술한 바와 같이 희생층(126)을 제거한 후, 상기 비트라인 마스크층(118)의 상부 표면이 노출될 때까지 CMP, 에치백 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 상기 제2 도전층(132)을 제거한다. 그러면, 상기 스토리지 노드 콘택홀(131)의 내부에 노드 분리된 스토리지 노드 콘택 패드(134)가 형성된다. 이때, 비트라인(125)을 구성하고 있던 폴리실리콘으로 이루어진 제1 버퍼층(120)이 제거된다.

<72> 본 실시예에서는 비트라인(125)의 측면 상부에 형성되는 제1 스페이서(130)를 폴리실리콘으로 형성하기 때문에, 상기 스토리지 노드 콘택 패드(134)는 제2 도전층(132)과 제1 스페이서(130)로 구성된 T형의 단면 구조를 갖는다.

<73> 이어서, 통상의 캐패시터 형성공정으로 상기 스토리지 노드 콘택 패드(134) 상에 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐패시터(도시하지 않음)를 형성한다.

- <74> 상술한 바와 같이 본 발명의 제1 실시예에 의하면, 제2 절연층(124) 상에 희생층(126)을 형성하고 라인 형태의 콘택 패턴(128)을 이용하여 상기 제2 절연층(124)을 부분 식각한 후, 식각 영역의 측면에 폴리실리콘으로 이루어진 제1 스페이서(130)를 형성한다. 그런 다음, 상기 제1 스페이서(130)를 식각 마스크로 이용하여 스토리지 노드 콘택홀(131)을 형성하고 상기 스토리지 노드 콘택홀(131)을 제2 도전층(132)으로 매립한다.
- <75> 종래 방법에서는 후속의 스토리지 노드 콘택 식각 공정시 비트라인 마스크층만으로 비트라인 도전층의 상면을 보호하기 때문에 상기 비트라인 마스크층을 두껍게 형성하였다. 이에 반하여, 본 실시예에서는 비트라인 마스크층(118) 상에 형성되는 제1 및 제2 버퍼층(120, 122)과 희생층(126)이 후속의 스토리지 노드 콘택 식각 공정시 비트라인의 제1 도전층(116)을 보호할 뿐만 아니라, 비트라인(125)의 패터닝 후 비트라인 스페이서를 형성하지 않고 곧바로 제2 절연층(124)을 증착하기 때문에 비트라인 마스크층(118)의 손실을 현저하게 줄일 수 있다. 따라서, 비트라인 마스크층(118)의 두께를 최소한으로 낮추어 비트라인(125)의 어스펙트비를 감소시킴으로써, 비트라인(125)과 비트라인(125) 사이의 갭 매립 마진을 증가시킬 수 있다. 비트라인 마스크층(118)의 두께가 낮아지면 비트라인 패터닝을 위한 포토레지스트막의 두께로 감소시킬 수 있으므로, 포토레지스트막의 쓰러짐 및 비트라인 리프팅 등을 방지할 수 있다.
- <76> 또한, 질화물로 이루어진 비트라인 마스크층(118)의 상부 측면에 질화물 및 산화물에 대해 식각 선택비를 갖는 폴리실리콘으로 이루어진 제1 스페이서(130)를 형성한 후 스토리지 노드 콘택 식각 공정을 진행하므로, 스토리지 노드 콘택홀(131)에 대한 비트라인(125)의 솔더 마진이 증가한다. 따라서, 비트라인(125)과 스토리지 노드 콘택 패드(134) 간의 전기적 단락을 방지하여 단일 비트 불량을 개선할 수 있다.



<77> 또한, 비트라인(125)의 측면 하부에 제2 절연층, 즉 유전율이 작은 산화물로 이루어진 제2 스페이서(124a)가 형성되므로, 비트라인(125)과 스토리지 노드 콘택 패드(134) 사이 및 비트라인(125)과 인접한 비트라인(125) 사이의 기생 캐패시턴스, 즉 비트라인 로딩 캐패시턴스를 25~30% 정도로 감소시킬 수 있다. 비트라인 로딩 캐패시턴스가 감소하면 단위 비트라인 당 셀의 개수가 증가하여 셀의 효율을 향상되며, 이로 인해 웨이퍼 내 가용 칩의 수를 3% 정도 증가시킬 수 있다.

<78> 실시예 2

<79> 도 10a 내지 도 15b는 본 발명의 제2 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다. 여기서, 각 a도는 비트라인 방향의 단면도이고 각 b도는 워드라인 방향의 단면도이다.

<80> 도 10a 및 도 10b는 워드라인(207) 및 SAC 패드들(212a, 212b)을 형성하는 단계를 도시한다. 셀로우 트렌치 소자분리(STI)와 같은 통상의 소자분리 공정을 통해 반도체 기판(200)에 소자분리 영역(202)을 형성하여 액티브 영역을 정의한다. 이어서, 열적 산화법으로 상기 기판(200)의 액티브 영역의 표면에 얇은 게이트 산화막(도시하지 않음)을 성장시킨 후, 그 위에 게이트 도전층(204) 및 게이트 마스크층(206)을 차례로 증착한다. 바람직하게는, 상기 게이트 도전층(204)은 도핑된 폴리실리콘층 및 금속 실리사이드층이 적층된 폴리사이드 구조로 형성한다. 상기 게이트 마스크층(206)은 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물 계열의 물질로 형성한다. 이어서, 사진식각 공정으로 상기 게이트 마스크층(206) 및 게이트 도전층(204)을 패터닝하여 워드라인(207)을 형성한다.

<81>       상기 워드라인(207)들이 형성된 기판(200)의 전면에 후속 공정에서 형성되어질 층간 절연막에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물 계열의 절연막을 증착하고, 상기 절연막을 이방성 식각하여 각각의 워드라인(207)의 측면에 게이트 스페이서(208)를 형성한다. 그런 다음, 통상의 이온주입 공정을 통해 상기 게이트 스페이서(208) 양측의 액티브 영역의 표면에 MOS 트랜지스터의 소오스/드레인 영역(도시하지 않음)을 형성한다. 여기서, 상기 게이트 스페이서(108)를 형성하기 전에, LDD 이온주입을 실시하여 워드라인(107) 양측의 액티브 영역의 표면에 저농도의 소오스/드레인 영역을 형성함으로써, LDD 구조의 소오스/드레인을 구현할 수도 있다. 상기 소오스/드레인 영역 중의 하나는 캐패시터의 스토리지 전극이 접속되어질 스토리지 노드 콘택 영역이며, 다른 하나는 비트라인이 접속되어질 비트라인 콘택 영역이다.

<82>       이어서, MOS 트랜지스터들을 포함한 기판(200)의 전면에 산화물 계열의 물질로 이루어진 층간 절연막(210)을 형성한 후, CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정으로 상기 층간 절연막(210)을 평탄화한다. 그런 다음, 질화물로 이루어진 게이트 마스크층(208)에 대해 높은 식각 선택비를 갖는 식각 가스를 이용하여 상기 층간 절연막(210)을 이방성 식각함으로써, 상기 워드라인(208)에 자기정렬되면서 소오스/드레인 영역을 노출시키는 콘택홀들을 형성한다.

<83>       상기 콘택홀들을 매립하도록 고농도의 불순물로 도핑된 폴리실리콘층을 증착한 후, CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정으로 상기 폴리실리콘층을 평탄화하여 각각의 콘택홀 내에 노드 분리된 SAC 패드들(212a, 212b)을 형성한다. 상기 SAC 패드들(212a, 212b)은 도시한 바와 같이 층간 절연막(210)의 표면과 평탄화하거나, 제1 실시예와 같이 게이트 마스크층(208)의 표면과 평탄화할 수도 있다. 본 실시예에서, 소

오스 영역과 접촉하는 SAC 패드(212a)는 스토리지 노드 콘택 영역이 되고 드레인 영역과 접촉하는 SAC 패드(212b)는 비트라인 콘택 영역이 된다.

<84> 도 11a 및 도 11b는 제1 절연층(214), 비트라인(219), 제2 절연층(220) 및 콘택 마스크층(221)을 형성하는 단계를 도시한다. 상술한 바와 같이 SAC 패드들(212a, 212b)을 형성한 후, 결과물의 전면에 산화물 계열의 물질을 1000~3000Å 정도의 두께, 바람직하게는 2000Å의 두께로 증착하여 제1 절연층(214)을 형성한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정으로 상기 제1 절연층(214)의 표면을 평탄화한다. 이때, 상기 제1 절연층(214)이 비트라인의 하부에서 약 1000~2000Å의 두께로 남아있도록 평탄화를 진행한다. 상기 제1 절연층(214)은 SAC 패드들(212a, 212b)과 그 위에 형성되어질 비트라인을 서로 격리시키는 층간 절연막으로 사용된다.

<85> 그런 다음, 사진식각 공정에 의해 상기 제1 절연층(214)을 식각하여 드레인 영역상의 SAC 패드(212b)를 노출하는 비트라인 콘택홀(도시하지 않음)을 형성하고, 결과물의 전면에 제1 도전층(216) 및 비트라인 마스크층(218)을 순차적으로 증착한다. 바람직하게는, 상기 제1 도전층(216)은 제1 금속 및/또는 상기 제1 금속의 화합물, 예를 들어 티타늄/티타늄 질화물(Ti/TiN)로 이루어진 제1 층 및 제2 금속, 예를 들어 텅스텐(W)으로 이루어진 제2 층의 복합 층으로 형성한다. 상기 비트라인 마스크층(218)은 스토리지 노드 콘택홀을 형성하기 위한 후속의 식각 공정시 그 하부의 제1 도전층(216)을 보호하는 역할을 하며, 후속 공정에서 증착되는 제2 절연층에 대해 식각 선택비를 갖는 물질, 바람직하게는 질화물로 형성한다.

- <86>       이어서, 사진식각 공정으로 상기 비트라인 마스크층(218) 및 제1 도전층(216)을 패터닝하여 비트라인(219)들을 형성한다. 상기 비트라인(219)은 워드라인(107)과 직교하도록 형성된다.
- <87>       상술한 단계에 의하면, 이중 층으로 이루어진 제1 도전층(216)이 직접 비트라인 콘택홀에 접촉되어 형성되지만, 상술한 제1 실시예와 마찬가지로 비트라인 콘택홀의 내부에 티타늄/티타늄 질화물(Ti/TiN)과 같은 장벽 금속층 및 텅스텐과 같은 제3 금속층으로 이루어진 비트라인 콘택 패드를 형성한 후, 상기 비트라인 콘택 패드에 직접 접촉되도록 텅스텐과 같은 단일 층으로 이루어진 제1 도전층(216)을 형성할 수도 있다.
- <88>       상기 비트라인(219) 및 제1 절연층(214) 상에 산화물 계열의 물질, 바람직하게는 HDP 산화물을 증착하여 제2 절연층(220)을 형성한 후, CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 상기 비트라인(219) 위의 소정 부위까지 상기 제2 절연층(220)을 평탄화한다. 여기서, 비트라인(219)과 비트라인(219) 사이에 보이드가 발생하는 것을 제거하기 위하여 상기 제2 절연층(220)을 형성하기 전에 질화막을 약 50~200Å의 두께로 증착할 수도 있다.
- <89>       그런 다음, 상기 제2 절연층(220) 상에 제2 절연층(220)에 대해 식각 선택비를 가지면서 후속 공정에서 증착되는 스토리지 노드 콘택 패드용 제2 도전층과 유사한 연마 속도를 갖는 물질, 바람직하게는 폴리실리콘을 증착하여 콘택 마스크층(221)을 형성한다.
- <90>       도 12a 및 도 12b는 콘택 패턴(222)을 형성하는 단계를 도시한다. 사진식각 공정으로 상기 콘택 마스크층(221)을 패터닝하여 스토리지 노드 콘택홀이 형성되어질 영역을

오픈하는 스토리지 노드 콘택 패턴(222)들을 형성한다. 바람직하게는, 상기 콘택 패턴(222)은 스토리지 노드 콘택홀 영역을 하나씩 오픈하는 콘택 형태로 형성한다.

<91> 이어서, 상기 콘택 패턴(222)을 식각 마스크로 이용한 타임 식각(time etch) 방식에 의해 산화물로 이루어진 제2 절연층(220)을 제1 도전층(216) 위의 소정 부위까지 부분 식각한다. 바람직하게는, 텅스텐으로 이루어진 제1 도전층(216)으로부터 위로 약 500 Å 이상 되는 지점에서 식각을 종료한다. 여기서, 상기 제2 절연층(220)의 식각 영역(223)의 폭(s2)이 비트라인(219)과 비트라인(219) 사이의 간격(s1)보다 작거나 동일하도록 부분 식각을 진행한다. 즉, 각 비트라인(219) 상면의 제2 절연층(220)의 폭(w2)은 상기 비트라인(219)의 폭(w1)보다 크거나 동일하다.

<92> 도 13a 및 도 13b는 제1 스페이서(224)를 형성하는 단계를 도시한다. 상기 제2 절연층(220)이 부분 식각된 결과물의 전면에 제2 절연층(220)에 대해 식각 선택비를 가지면서 후속 공정에서 증착되는 스토리지 노드 콘택 패드용 제2 도전층과 유사한 연마 속도를 갖는 물질, 바람직하게는 폴리실리콘을 약 200~600 Å의 두께로 증착하고 이를 이방성 식각하여 상기 식각 영역(223)의 측면에 제1 스페이서(224)를 형성한다. 구체적으로, 폴리실리콘으로 이루어진 상기 제1 스페이서(224)는 비트라인 마스크층(218)의 상단부에서 제1 도전층(216) 위의 소정 부위까지 각 비트라인(219)의 측면 상부에 형성된다. 폴리실리콘으로 이루어진 제1 스페이서(224)는 산화물 뿐만 아니라 질화물에 대해서도 높은 식각 선택비를 갖기 때문에, 후속의 스토리지 노드 콘택 식각 공정시 비트라인 마스크층(218)의 손실을 방지하고 솔더 마진을 충분히 확보할 수 있다.

<93> 도 14a 및 도 14b는 스토리지 노드 콘택홀(226)을 형성하는 단계를 도시한다. 상기 폴리실리콘으로 이루어진 제1 스페이서(224)를 식각 마스크로 이용하여 산화물로 이루

어진 제2 절연층(220) 및 제1 절연층(214)을 건식 식각함으로써 캐패시터 콘택 영역, 즉 소오스 영역 상의 SAC 패드(212a)를 노출하는 스토리지 노드 콘택홀(226)을 형성한다. 이와 동시에, 상기 제1 스페이서(224) 하부의 각 비트라인(219)의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서(220a)가 형성된다. 즉, 각 비트라인(219) 측면의 상부에는 폴리실리콘으로 이루어진 제1 스페이서(224)가 형성되고, 하부에는 산화물로 이루어진 제2 스페이서(220a)가 형성된다.

<94> 도 15a 및 도 15b는 스토리지 노드 콘택 패드(230)를 형성하는 단계를 도시한다. 상술한 바와 같이 스토리지 노드 콘택홀(226)을 형성한 후, 통상의 세정 공정을 진행하여 스토리지 노드 콘택홀(226)을 통해 노출된 SAC 패드(212a) 위에 성장된 자연 산화막, 폴리머 및 각종 이물질 등을 제거한다.

<95> 그런 다음, 상기 스토리지 노드 콘택홀(226)을 매립하도록 결과물의 전면에서 제2 도전층(228), 예컨대 폴리실리콘층을 증착한 후, CMP, 에치백 또는 CMP와 에치백을 조합한 평탄화 공정으로 비트라인(219) 위의 제2 절연층(220)의 상부 표면이 노출될 때까지 상기 제2 도전층(228)을 제거한다. 그러면, 상기 스토리지 노드 콘택홀(226)의 내부에 노드 분리된 스토리지 노드 콘택 패드(230)가 형성된다.

<96> 본 실시예에서는 비트라인(219)의 측면 상부에 형성되는 제1 스페이서(224)를 폴리실리콘으로 형성하기 때문에, 상기 스토리지 노드 콘택 패드(230)는 제2 도전층(228)과 제1 스페이서(224)로 구성된 T형의 단면 구조를 갖는다.

<97> 이어서, 통상의 캐패시터 형성공정으로 상기 스토리지 노드 콘택 패드(230) 상에 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐패시터(도시하지 않음)를 형성한다.

- <98> 상술한 바와 같이 본 발명의 제2 실시예에 의하면, 스토리지 노드 콘택 패턴(222)을 콘택 형태로 형성하는 것을 제외하고는 제1 실시예와 동일한 효과를 얻을 수 있다. 즉, 상기 제2 절연층(220)을 비트라인(219) 위의 소정 부위까지 평탄화시킴으로써, 후속의 스토리지 노드 콘택 식각 공정시 비트라인(219) 상면의 제2 절연층(220)에 의해 비트라인 마스크층(218)의 손실을 줄일 수 있다.
- <99> 또한, 비트라인 마스크층(218)의 측면 상부에 형성된 제1 스페이서(224)에 의해 스토리지 노드 콘택홀(226)에 대한 비트라인(219)의 솔더 마진이 증가하여 비트라인(219)과 스토리지 노드 콘택 패드(230) 간의 전기적 단락을 방지할 수 있다.
- <100> 또한, 비트라인(219)의 측면 하부에 유전율이 작은 산화물로 이루어진 제2 스페이서(220a)가 형성되므로, 비트라인 로딩 캐패시턴스를 감소시킬 수 있다.
- <101> 실시예 3
- <102> 도 16a 내지 도 16f는 본 발명의 제3 실시예에 의한 DRAM 장치의 제조방법을 설명하기 위한 단면도들이다.
- <103> 도 16a는 제1 절연층(314), 비트라인(219), 제2 절연층(320) 및 콘택 마스크층(321)을 형성하는 단계를 도시한다. 상술한 제1 실시예 또는 제2 실시예와 동일한 방법으로 반도체 기판(300) 상에 소자분리 영역(302), MOS 트랜지스터, 층간 절연막(310) 및 SAC 패드들(312a)을 형성한다.
- <104> 그런 다음, 층간 절연막(310) 및 SAC 패드(312a) 상에 산화물 계열의 물질을 증착하여 제1 절연층(314)을 형성한 후, 후속 사진 공정의 마진을 확보하기 위하여 CMP

공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정으로 상기 제1 절연층(314)의 표면을 평탄화한다. 상기 제1 절연층(314)은 SAC 패드(312a)와 그 위에 형성되어질 비트라인을 서로 격리시키는 층간 절연막으로 사용된다.

<105> 이어서, 상술한 제1 실시예 또는 제2 실시예와 동일한 방법으로 비트라인 콘택홀(도시하지 않음) 및 비트라인(319)을 형성한다. 구체적으로, 상기 비트라인(319)은 티타늄/티타늄 질화물(Ti/TiN)의 제1 층과 텅스텐(W)의 제2 층으로 구성된 제1 도전층(316) 및 상기 제1 도전층(316) 상에 적층되고 질화물로 이루어진 비트라인 마스크층(318)을 포함한다. 또한, 상술한 제1 실시예와 마찬가지로 비트라인 콘택홀의 내부에 티타늄/티타늄 질화물(Ti/TiN)과 같은 장벽 금속층 및 텅스텐과 같은 제3 금속층으로 이루어진 비트라인 콘택 패드를 형성한 후, 상기 비트라인 콘택 패드에 직접 접촉되도록 텅스텐과 같은 단일 층으로 이루어진 제1 도전층(316)을 형성할 수도 있다.

<106> 상기 비트라인(319) 및 제1 절연층(314) 상에 산화물 계열의 물질, 바람직하게는 HDP 산화물을 증착하여 제2 절연층(320)을 형성한 후, CMP 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정 중의 어느 하나로 상기 비트라인(319)의 상부 표면이 노출될 때까지 상기 제2 절연층(320)을 평탄화한다.

<107> 그런 다음, 상기 비트라인(319) 및 제2 절연층(320) 상에 폴리실리콘 또는 티타늄 질화물과 같이 절연층(320)에 대해 식각 선택비를 갖는 물질, 바람직하게는 폴리실리콘으로 이루어진 콘택 마스크층(321)을 형성한다.

<108> 도 16b는 콘택 패턴(322)을 형성하는 단계를 도시한다. 사진식각 공정으로 상기 콘택 마스크층(321)을 패터닝하여 스토리지 노드 콘택홀이 형성되어질 영역을 오픈하는 스토리지 노드 콘택 패턴(322)들을 형성한다. 바람직하게는, 상기 콘택 패턴(322)은 비트



라인(219)과 직교하는 방향, 즉 워드라인 방향으로 인접하는 복수개의 스토리지 노드 콘택홀을 머지하여 오픈하는 라인 형태로 형성한다. 상기 콘택 패턴(322)은 비트라인(219)의 폭(w3)보다 작은 폭(w4)으로 형성하는 것이 바람직하다. 상기 콘택 패턴(322)을 형성하기 위한 식각 공정시 질화물에 대한 높은 선택비로 인하여 비트라인 마스크층(318)의 손실이 100Å 이하로 제어된다.

<109> 도 16c는 제1 스페이서(324)를 형성하는 단계를 도시한다. 상기 콘택 패턴(322) 및 제2 절연층(320) 위에 제2 절연층(320)에 대해 식각 선택비를 갖는 물질, 예컨대 폴리실리콘, 질화물, 텅스텐 또는 티타늄 질화물을 수백 Å의 두께로 증착하고 이를 이방성 식각하여 상기 콘택 패턴(322)의 측면에 제1 스페이서(324)를 형성한다. 바람직하게는, 상기 제1 스페이서(324)는 폴리실리콘으로 형성한다.

<110> 도 16d는 스토리지 노드 콘택홀(326)을 형성하는 단계를 도시한다. 상기 제1 스페이서(324)를 식각 마스크로 이용하여 산화물로 이루어진 제2 절연층(320) 및 제1 절연층(314)을 건식 식각함으로써 캐패시터 콘택 영역, 즉 소오스 영역 상의 SAC 패드(312a)를 노출하는 스토리지 노드 콘택홀(326)을 형성한다. 이와 동시에, 각 비트라인(319)의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서(320a)가 형성된다.

<111> 도 16e는 제2 도전층(327)을 증착하는 단계를 도시한다. 상술한 바와 같이 스토리지 노드 콘택홀(326)을 형성한 후, 통상의 세정 공정을 진행하여 스토리지 노드 콘택홀(326)을 통해 노출된 SAC 패드(312a) 위에 성장된 자연 산화막, 폴리머 및 각종 이물질 등을 제거한다.

<112> 이어서, 상기 스토리지 노드 콘택홀(326)을 매립하도록 결과물의 전면에 제2 도전층(327), 예컨대 폴리실리콘층을 증착한다.

- <113> 도 16f는 스토리지 노드 콘택 패드(328)를 형성하는 단계를 도시한다. 약액을 이용한 스핀 공정, 습식 에치백 공정, 건식 에치백 공정, CMP 공정 또는 이들을 조합한 공정으로 비트라인 마스크층(318)의 상부 표면이 노출될 때까지 상기 제2 도전층(327)을 제거한다. 그러면, 상기 스토리지 노드 콘택홀(326)의 내부에 노드 분리된 스토리지 노드 콘택 패드(328)가 형성된다.
- <114> 이어서, 통상의 캐패시터 형성공정으로 상기 스토리지 노드 콘택 패드(328) 상에 스토리지 전극, 유전체막 및 플레이트 전극으로 구성된 캐패시터(도시하지 않음)를 형성한다.
- <115> 상술한 바와 같이 본 발명의 제3 실시예에 의하면, 산화물에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴(322) 및 제1 스페이서(324)를 비트라인(319) 위에 형성한 후, 상기 콘택 패턴(322) 및 제1 스페이서(324)를 식각 마스크로 이용하여 산화물로 이루어진 제2 절연층(320) 및 제1 절연층(314)을 식각함으로써 스토리지 노드 콘택홀(326)을 형성한다. 따라서, 스토리지 노드 콘택 식각 공정시 상기 콘택 패턴(322) 및 제1 스페이서(324)에 의해 비트라인 마스크층(318)의 손실이 줄어들기 때문에, 비트라인 마스크층(318)의 두께를 최소한으로 낮추어 비트라인(319)의 높이를 줄일 수 있다.
- <116> 또한, 스토리지 노드 콘택홀(326)을 SAC 방식으로 형성하지 않으므로 비트라인(319)의 솔더 마진이 증가하여 비트라인(319)과 스토리지 노드 콘택 패드(328) 간의 전기적 단락에 의한 단일 비트 불량을 방지할 수 있다.
- <117> 또한, 비트라인(319)의 측면 전체에 유전율이 낮은 산화물로 이루어진 제2 스페이서(320a)가 형성되므로, 비트라인 로딩 캐패시턴스를 줄일 수 있다.

**【발명의 효과】**

- <118> 상술한 바와 같이 본 발명에 의하면, 비트라인의 패터닝 후 비트라인 스페이서를 형성하지 않고, 제2 절연층의 부분 식각 후 비트라인 마스크층의 측면에 제1 스페이서를 형성하기 때문에 비트라인 마스크층의 손실을 현저하게 줄일 수 있다. 이로 인해 비트라인 마스크층의 두께를 최소한으로 낮출 수 있으며, 비트라인 스페이서를 형성하지 않은 상태에서 제2 절연층을 증착하므로 비트라인의 어스펙트비가 감소된다. 따라서, 비트라인과 비트라인 사이의 갭 매립 마진을 증가시킬 수 있다.
- <119> 또한, 비트라인 마스크층의 측면에 제1 스페이서를 형성한 후 스토리지 노드 콘택 식각 공정을 진행하므로, 비트라인의 솔더 마진이 증가하여 비트라인과 스토리지 노드 콘택 패드 간의 전기적 단락을 방지할 수 있다.
- <120> 또한, 비트라인의 측면에 유전율이 작은 산화물 계열의 물질로 이루어진 제2 스페이서가 형성되므로, 비트라인과 스토리지 노드 콘택 패드 사이 및 비트라인과 인접한 비트라인 사이의 기생 캐패시턴스, 즉 비트라인 로딩 캐패시턴스를 줄일 수 있다.
- <121> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

캐패시터 콘택 영역들을 갖는 반도체 기판;

상기 반도체 기판 상에 형성된 제1 절연층;

상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 형성되고, 제1 도전층 및 상기 제1 도전층 상에 적층된 비트라인 마스크층을 포함하는 비트라인들;

상기 비트라인 마스크층의 상단부에서 상기 제1 도전층 위의 소정 부위까지 각 비트라인의 측면 상부에 형성되고, 산화물 계열의 물질에 대해 식각 선택비를 갖는 물질로 이루어진 제1 스페이서들;

상기 제1 스페이서 하부의 각 비트라인의 측면에 형성되고, 산화물 계열의 제2 절연층으로 이루어진 제2 스페이서들; 및

상기 제1 및 제2 스페이서들의 외주면에 접하면서 상기 제1 절연층을 관통하여 상기 캐패시터 콘택 영역들을 노출하는 각각의 스토리지 노드 콘택홀의 내부에 형성된 스토리지 노드 콘택 패드용 제2 도전층을 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 2】**

제1항에 있어서, 상기 캐패시터 콘택 영역은 랜딩 패드인 것을 특징으로 하는 반도체 장치.

**【청구항 3】**

제1항에 있어서, 상기 제1 도전층은 텅스텐층을 포함하는 것을 특징으로 하는 반도체 장치.

**【청구항 4】**

제1항에 있어서, 상기 비트라인 마스크층은 질화물로 이루어진 것을 특징으로 하는 반도체 장치.

**【청구항 5】**

제1항에 있어서, 상기 제1 스페이서는 폴리실리콘으로 이루어진 것을 특징으로 하는 반도체 장치.

**【청구항 6】**

제5항에 있어서, 상기 스토리지 노드 콘택 패드는 상기 제2 도전층과 제1 스페이서로 구성되어 T형의 단면 구조를 갖는 것을 특징으로 하는 반도체 장치.

**【청구항 7】**

제1항에 있어서, 상기 스토리지 노드 콘택 패드용 제2 도전층은 상기 비트라인 마스크층의 상면과 평탄화되어 형성된 것을 특징으로 하는 반도체 장치.

**【청구항 8】**

제1항에 있어서, 상기 제2 절연층은 각 비트라인의 상면 및 측면에 형성된 것을 특징으로 하는 반도체 장치.

**【청구항 9】**

제8항에 있어서, 각 비트라인 상면의 제2 절연층은 상기 비트라인의 폭보다 크거나 동일한 폭으로 형성된 것을 특징으로 하는 반도체 장치.

## 【청구항 10】

제8항에 있어서, 상기 스토리지 노드 콘택 패드용 제2 도전층은 비트라인 상면의 제2 절연층의 표면과 평탄화되어 형성된 것을 특징으로 하는 반도체 장치.

## 【청구항 11】

제1항에 있어서, 상기 제1 스페이서는 상기 스토리지 노드 콘택 패드 영역에만 형성되는 것을 특징으로 하는 반도체 장치.

## 【청구항 12】

캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성하는 단계;

상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 제1 도전층 및 상기 제1 도전층 상에 적층된 비트라인 마스크층을 포함하는 비트라인들을 형성하는 단계;

상기 비트라인들 및 제1 절연층 상에 산화물 계열의 물질로 이루어진 제2 절연층을 형성하는 단계;

상기 결과물 상에 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴들을 형성하여 스토리지 노드 콘택홀 영역을 오픈하는 단계;

상기 콘택 패턴들을 마스크로 이용하여 상기 스토리지 노드 콘택홀 영역의 제2 절연층을 상기 제1 도전층 위의 소정 부위까지 부분 식각하는 단계;

상기 식각 영역의 측면에 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 제1 스페이서들을 형성하는 단계;

상기 제1 스페이서들을 마스크로 이용하여 상기 제2 절연층 및 제1 절연층을 식각하여 상기 캐패시터 콘택 영역들을 노출하는 스토리지 노드 콘택홀들을 형성함과

동시에, 상기 제1 스페이서 하부의 각 비트라인의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서를 형성하는 단계; 및

상기 스토리지 노드 콘택홀을 제2 도전층으로 매립하여 스토리지 노드 콘택 패드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 13】**

제12항에 있어서, 상기 캐패시터 콘택 영역은 랜딩 패드로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 14】**

제12항에 있어서, 상기 제1 도전층은 텅스텐층을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 15】**

제12항에 있어서, 상기 비트라인 마스크층은 질화물로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 16】**

제12항에 있어서, 각각의 비트라인은 상기 비트라인 마스크층 상에 적층된 하나 이상의 버퍼층을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 17】**

제16항에 있어서, 상기 하나 이상의 버퍼층은 상기 비트라인 마스크층을 보호하기 위한 제1 버퍼층 및 상기 제1 버퍼층을 보호하도록 상기 제1 버퍼층 상에 적층된 제2 버퍼층을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 18】**

제17항에 있어서, 상기 제1 버퍼층은 폴리실리콘으로 형성하고, 상기 제2 버퍼층은 산화물로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 19】**

제12항에 있어서, 상기 콘택 패턴들을 형성하는 단계 전에,

상기 비트라인의 상면까지 상기 제2 절연층을 평탄화하는 단계; 및

상기 비트라인 및 제2 절연층 상에 상기 제2 절연층보다 빠른 식각 속도를 갖는 물질로 이루어진 희생층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 20】**

제19항에 있어서, 상기 제2 절연층은 HDP 산화물로 형성하고, 상기 희생층은 BPSG로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 21】**

제19항에 있어서, 상기 스토리지 노드 콘택 패드를 형성하는 단계는,

상기 스토리지 노드 콘택홀을 포함한 결과물의 전면에서 제2 도전층을 증착하는 단계;

스토리지 노드 콘택 패드가 형성되지 않는 영역의 희생층이 노출될 때까지 상기 제2 도전층을 제거하는 단계;

상기 노출된 희생층을 제거하여 상기 제2 절연층 위로 상기 제2 도전층을 돌출시키는 단계; 및



상기 비트라인 마스크층의 상면이 노출될 때까지 상기 제2 도전층을 제거하여 스토리지 노드 콘택 패드를 노드 분리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 22】**

제21항에 있어서, 상기 스토리지 노드 콘택 패드를 노드 분리하는 단계는 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정으로 수행하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 23】**

제12항에 있어서, 상기 콘택 패턴 및 상기 제1 스페이서는 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 24】**

제12항에 있어서, 상기 콘택 패드들을 형성하는 단계 전에,  
상기 비트라인 위의 소정 부위까지 상기 제2 절연층을 평탄화시키는 단계를 더 구비하고,

상기 제2 절연층을 부분 식각하는 단계에서,  
식각 영역의 폭이 비트라인과 비트라인 사이의 간격보다 작거나 동일하도록 상기 제2 절연층을 식각하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 25】**

제24항에 있어서, 상기 스토리지 노드 콘택 패드를 형성하는 단계는,

상기 스토리지 노드 콘택홀을 매립하도록 상기 콘택 패턴들 상에 제2 도전층을 증착하는 단계; 및

각 비트라인 상면 위의 제2 절연층의 표면이 노출될 때까지 상기 제2 도전층을 제거하여 스토리지 노드 콘택 패드를 노드 분리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 26】

제12항에 있어서, 상기 콘택 패턴은 상기 비트라인과 직교하는 방향으로 인접하는 복수개의 스토리지 노드 콘택홀을 머지하여 오픈하는 라인 형태로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 27】

제12항에 있어서, 상기 콘택 패턴은 스토리지 노드 콘택홀 영역을 하나씩 오픈하는 콘택 형태로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 28】

제12항에 있어서, 상기 제2 절연층을 부분 식각하는 단계에서, 상기 제1 도전층 위의 500Å 이상 되는 지점까지 상기 제2 절연층을 식각하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 29】

캐패시터 콘택 영역들을 갖는 반도체 기판 상에 제1 절연층을 형성하는 단계;

상기 캐패시터 콘택 영역들 사이의 제1 절연층 상에 제1 도전층 및 상기 제1 도전층 상에 적층된 비트라인 마스크층을 포함하는 비트라인들을 형성하는 단계;

상기 비트라인들 및 제1 절연층 상에 산화물 계열의 물질로 이루어진 제2 절연층을 형성하는 단계;

상기 비트라인들의 상면까지 상기 제2 절연층을 평탄화하는 단계;

각 비트라인의 상면 위에 스토리지 노드 콘택홀 영역을 오픈하도록 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 콘택 패턴들을 형성하는 단계;

각 콘택 패턴의 측벽에 상기 제2 절연층에 대해 식각 선택비를 갖는 물질로 이루어진 제1 스페이서들을 형성하는 단계;

상기 콘택 패턴 및 콘택 스페이서들을 마스크로 이용하여 상기 제2 절연층 및 제1 절연층을 식각하여 상기 캐패시터 콘택 영역들을 노출하는 스토리지 노드 콘택홀들을 형성함과 동시에, 각 비트라인의 측면에 상기 제2 절연층으로 이루어진 제2 스페이서를 형성하는 단계; 및

상기 스토리지 노드 콘택홀을 제2 도전층으로 매립하여 스토리지 노드 콘택 패드를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 【청구항 30】

제29항에 있어서, 상기 제1 도전층은 텅스텐층을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

#### 【청구항 31】

제29항에 있어서, 상기 비트라인 마스크층은 질화물로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 32】**

제29항에 있어서, 상기 콘택 패턴은 폴리실리콘 또는 티타늄 질화물로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 33】**

제29항에 있어서, 상기 제1 스페이서는 폴리실리콘, 질화물, 텅스텐 및 티타늄 질화물의 군에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 34】**

제29항에 있어서, 상기 콘택 패턴은 상기 비트라인의 폭보다 작은 폭으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 35】**

제29항에 있어서, 상기 콘택 패턴은 상기 비트라인과 직교하는 방향으로 인접하는 스토리지 노드 콘택홀을 머지하여 오픈하는 라인 형태로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

**【청구항 36】**

제29항에 있어서, 상기 스토리지 노드 콘택 패드를 형성하는 단계는,  
상기 스토리지 노드 콘택홀을 매립하도록 상기 콘택 패턴들 상에 제2 도전층을 증착하는 단계; 및

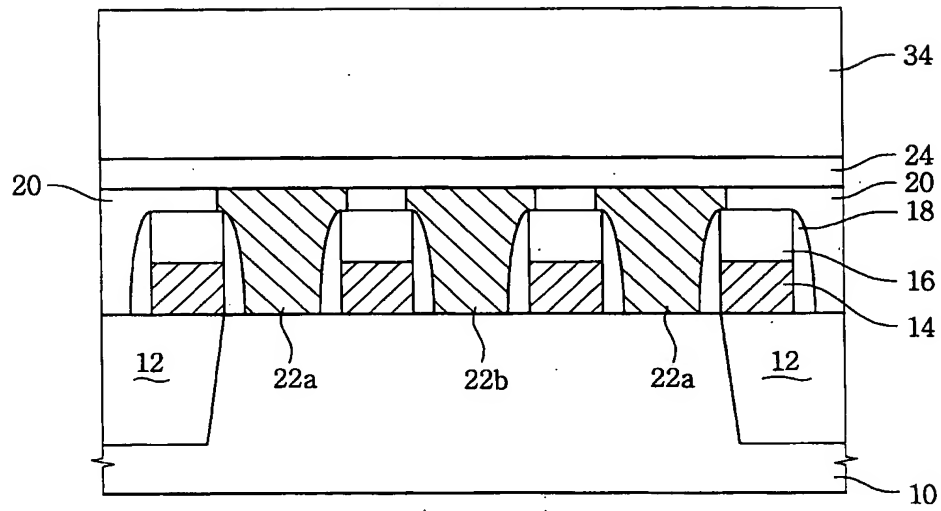
상기 비트라인 마스크층의 상면이 노출될 때까지 상기 제2 도전층을 제거하여 스토리지 노드 콘택 패드를 노드 분리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 37】

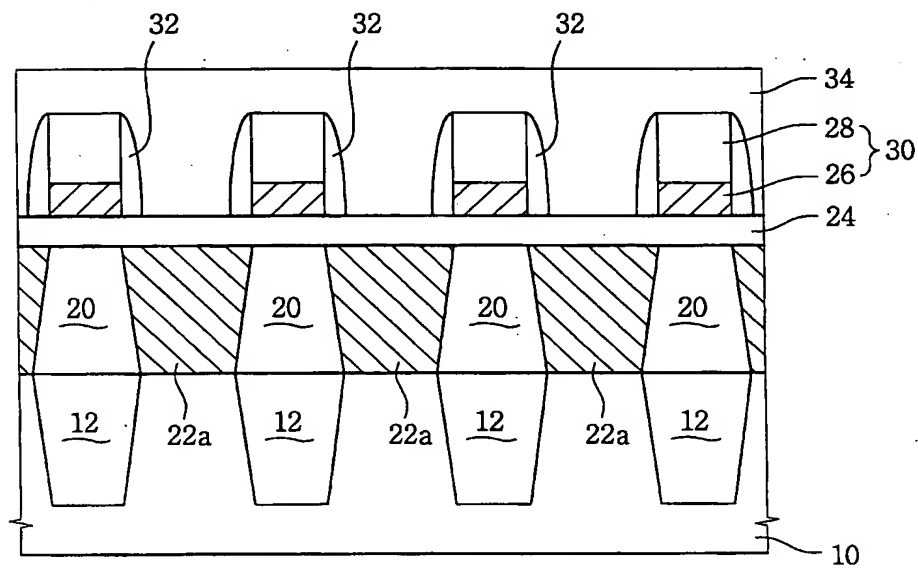
제36항에 있어서, 상기 스토리지 노드 콘택 패드를 노드 분리하는 단계는 화학 기계적 연마(CMP) 공정, 에치백 공정 또는 CMP와 에치백을 조합한 공정으로 수행하는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

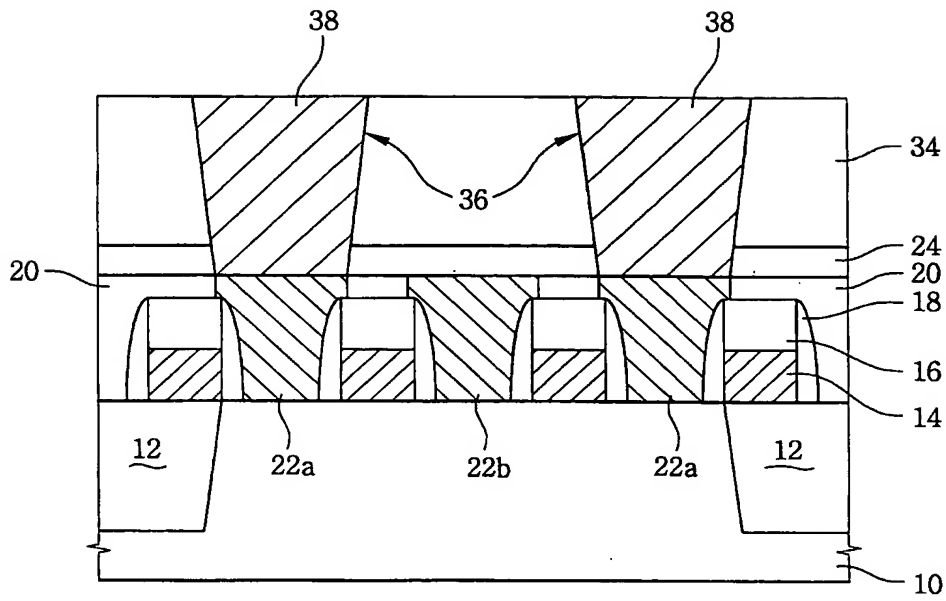
【도 1a】



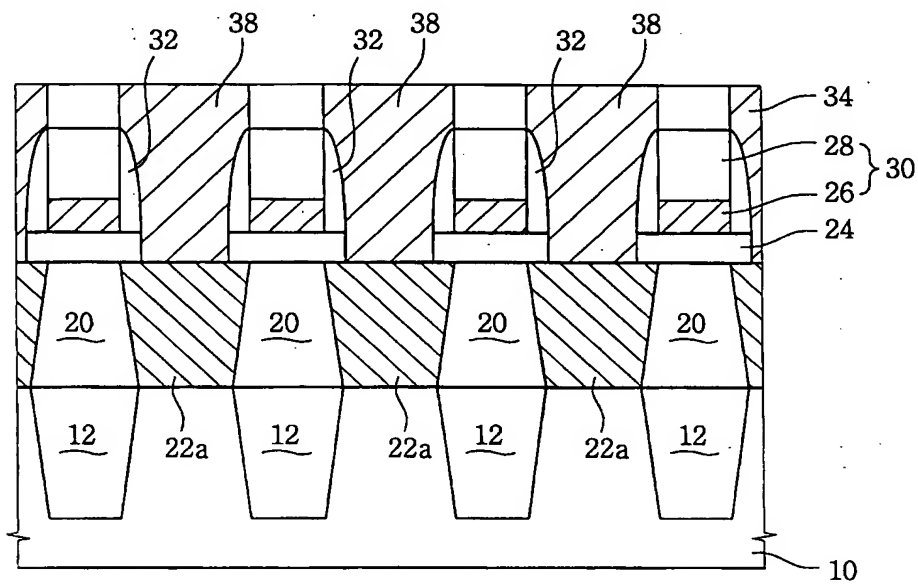
【도 1b】



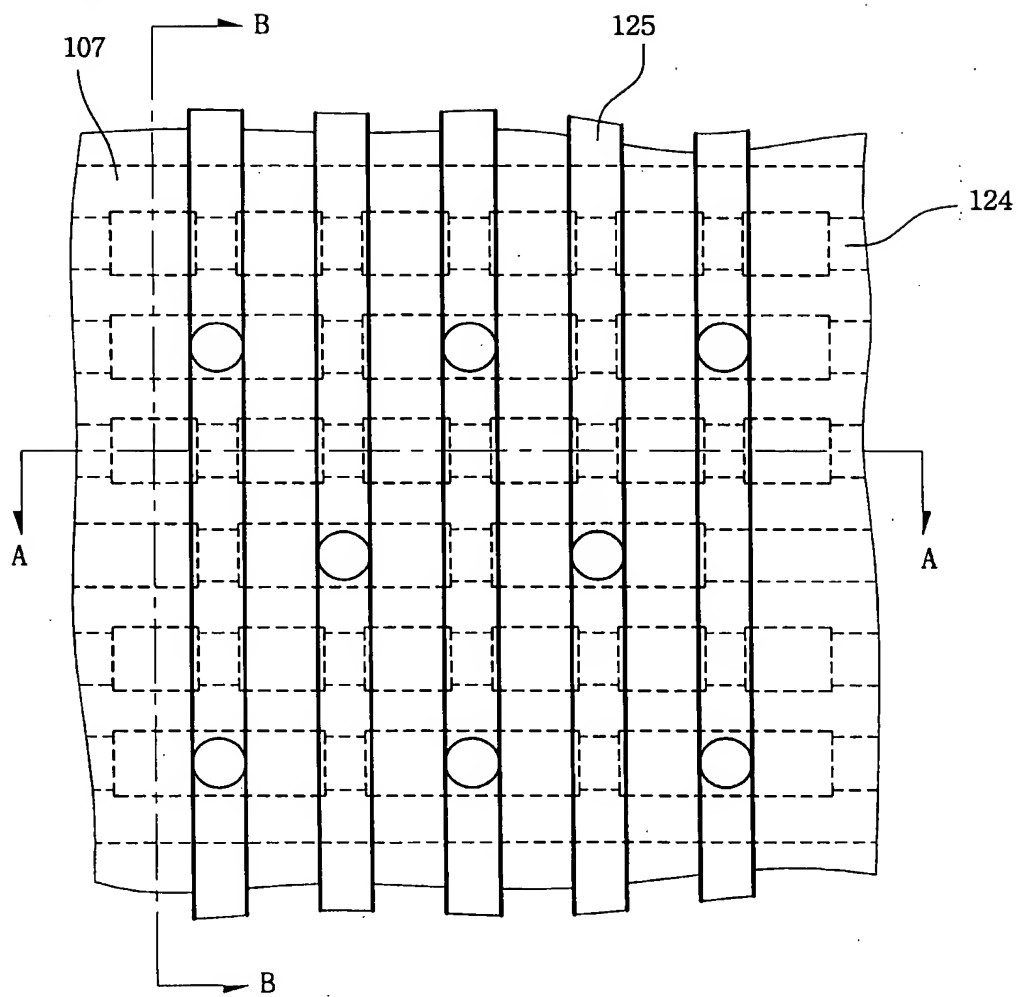
【도 2a】



【도 2b】

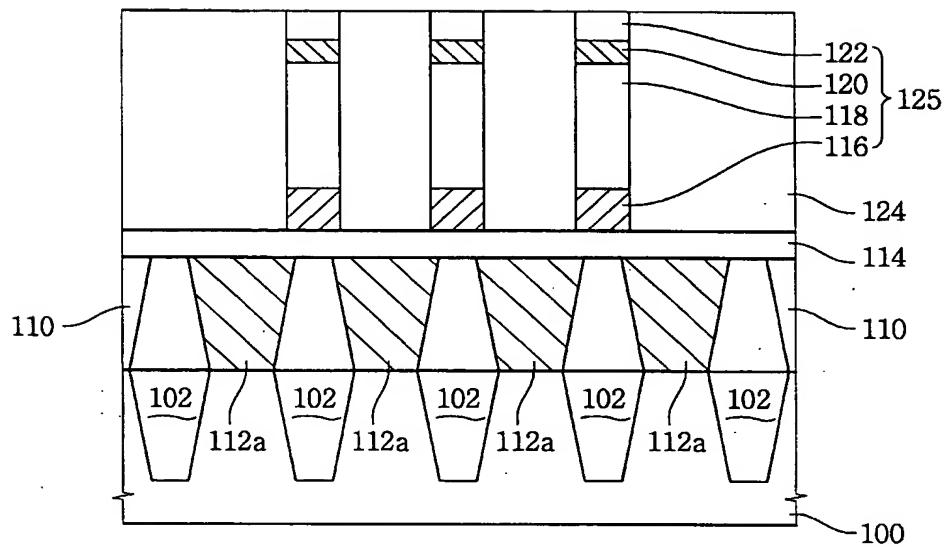


【도 3a】

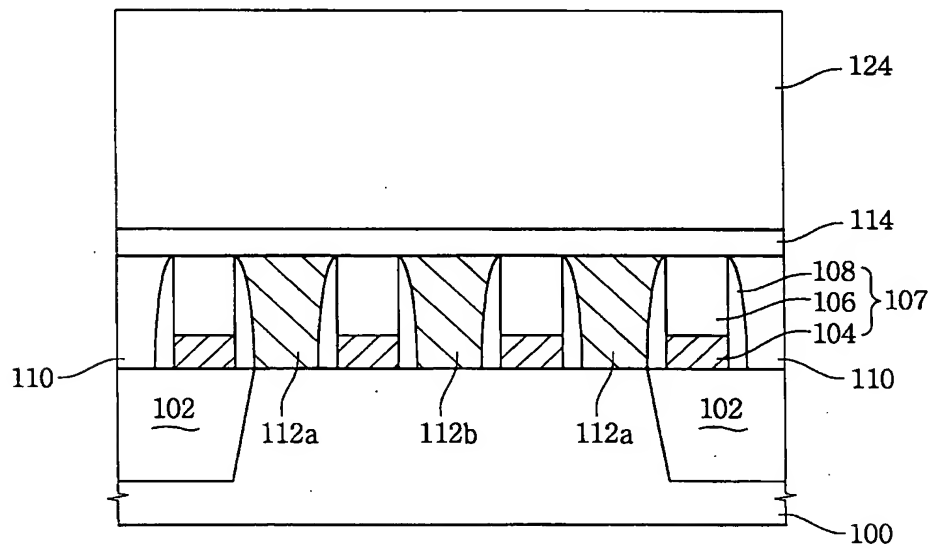




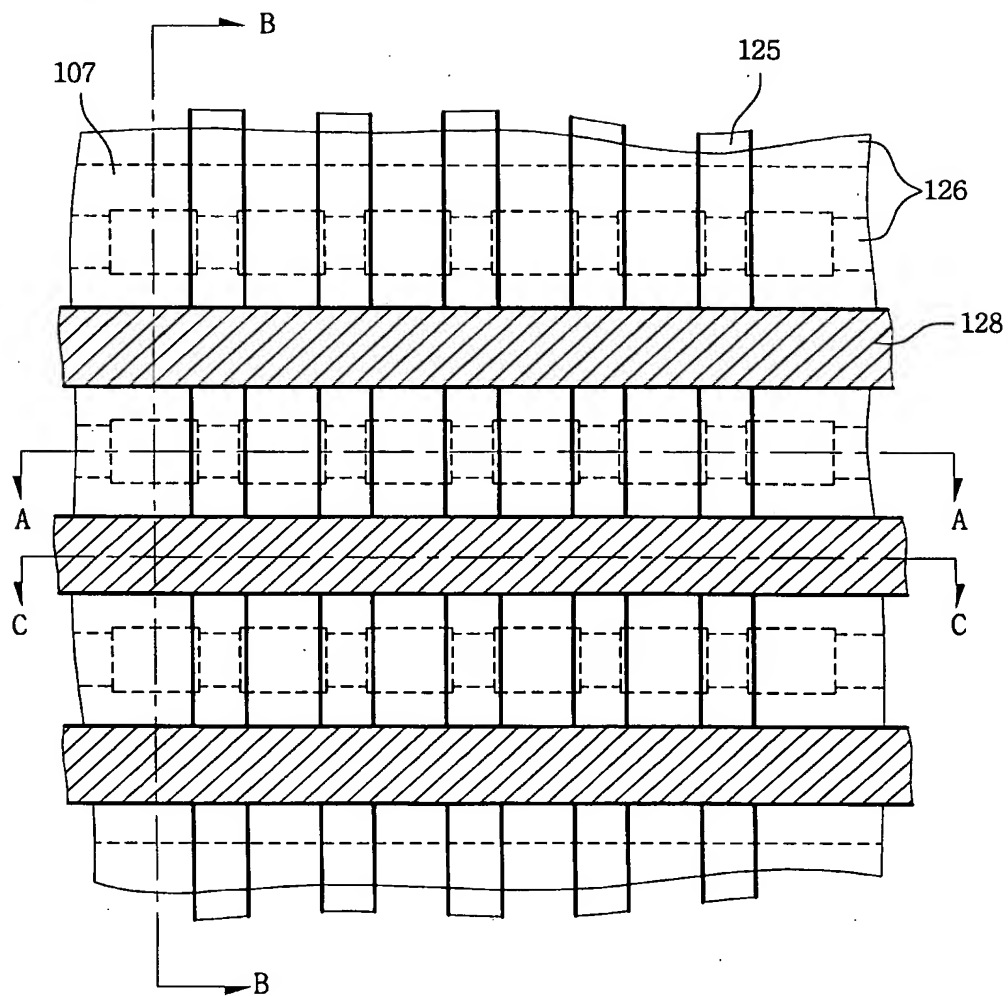
【도 3b】



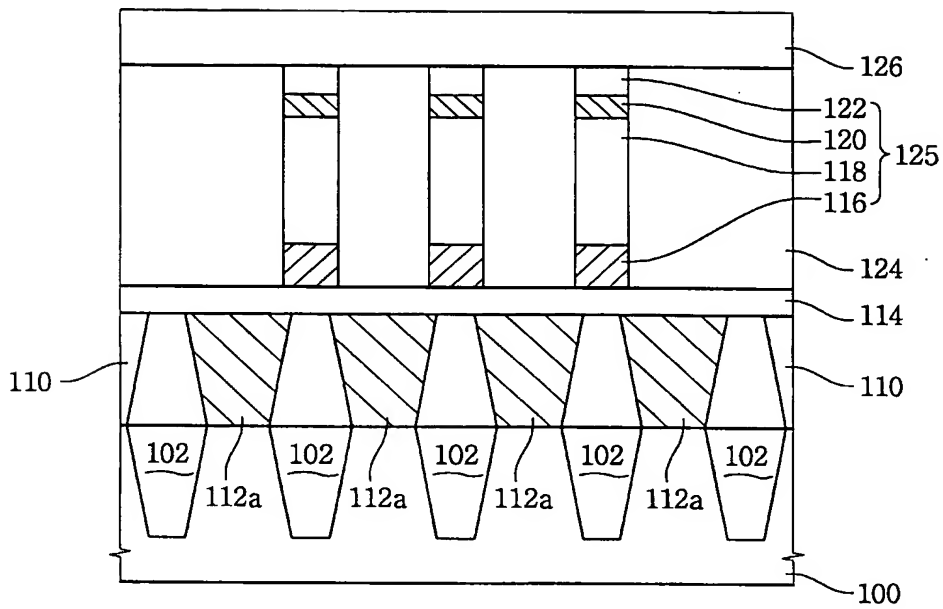
【도 3c】



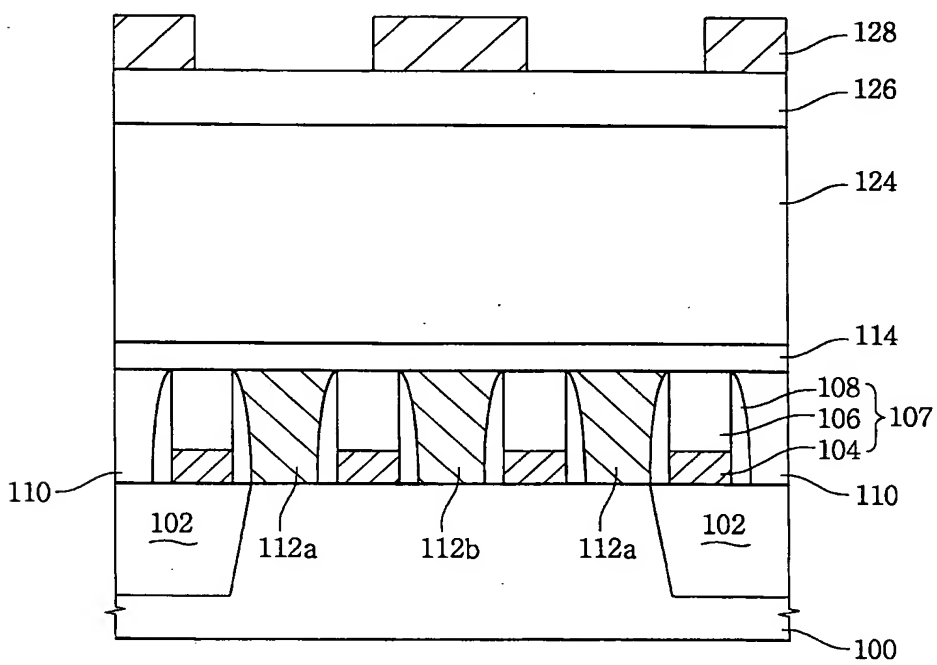
【도 4a】



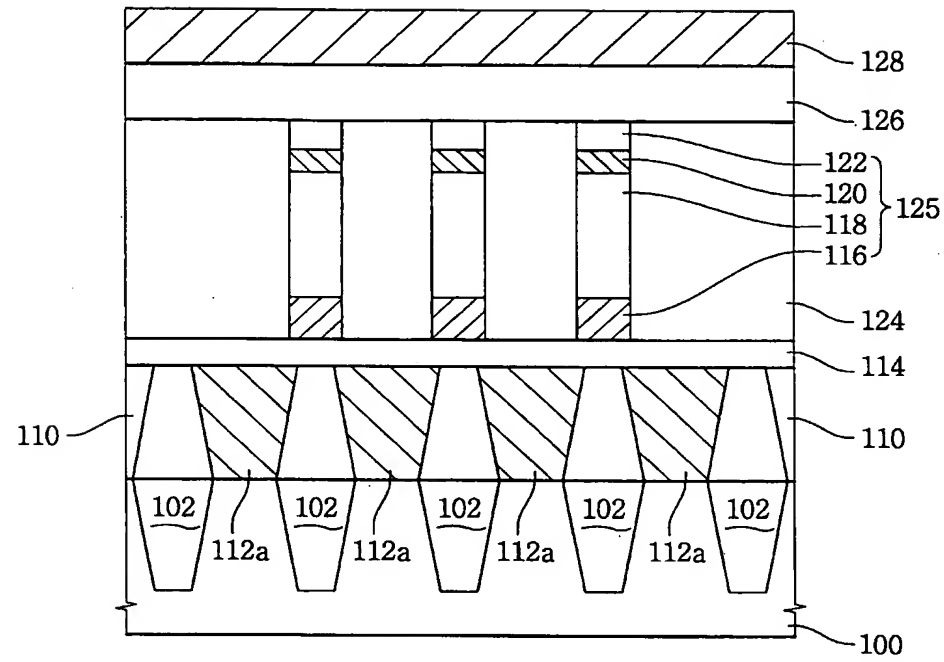
【도 4b】



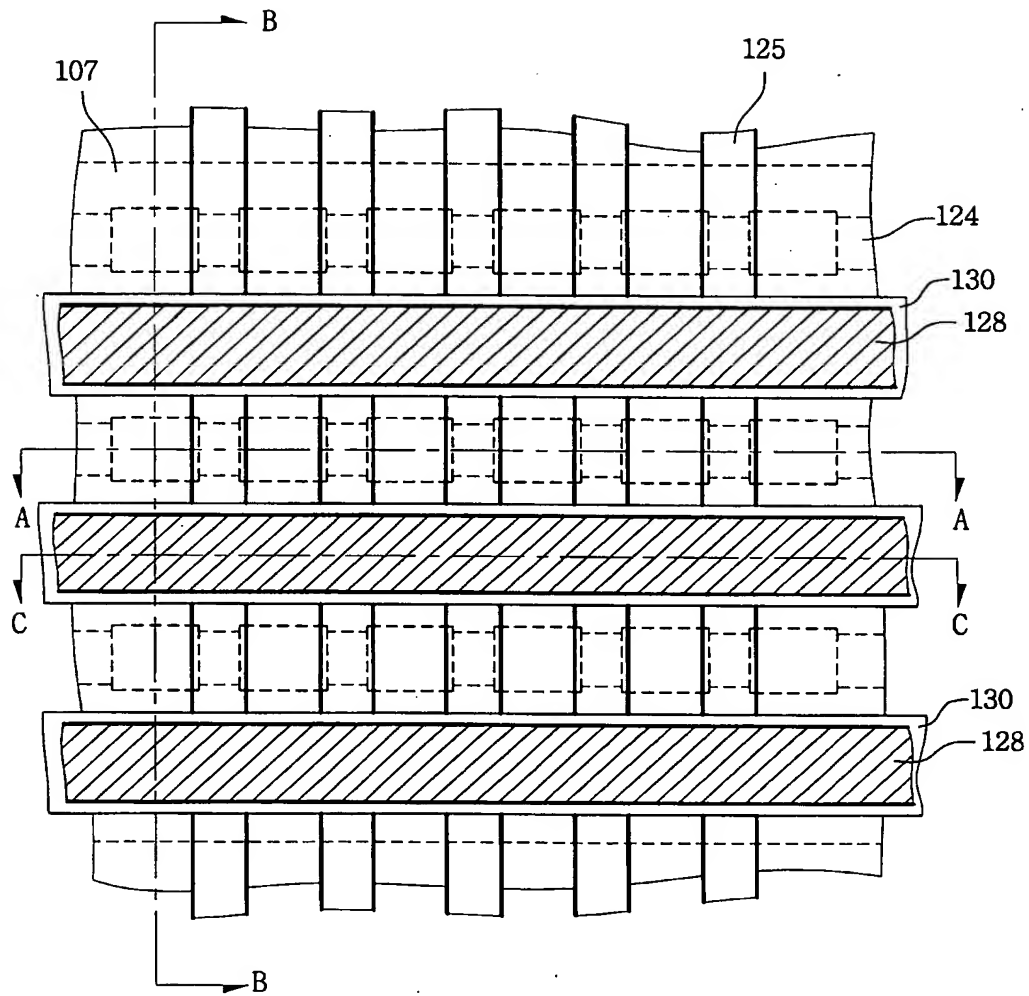
【도 4c】



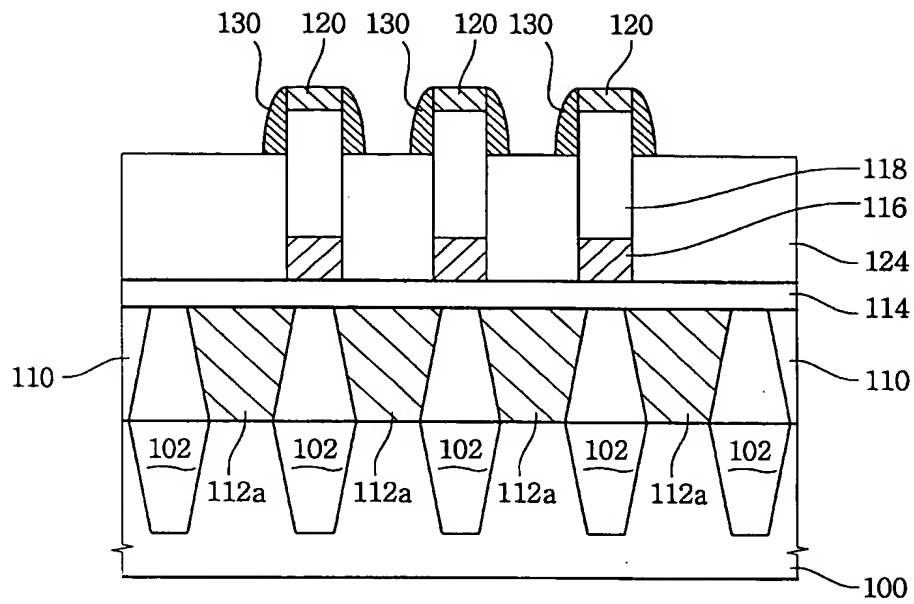
【도 4d】



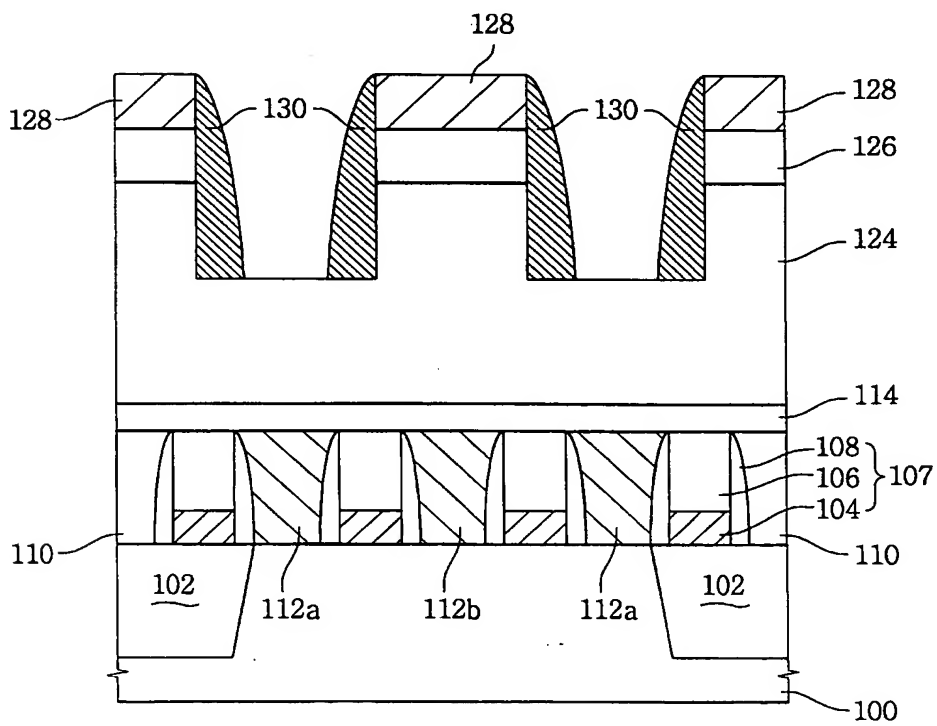
【도 5a】



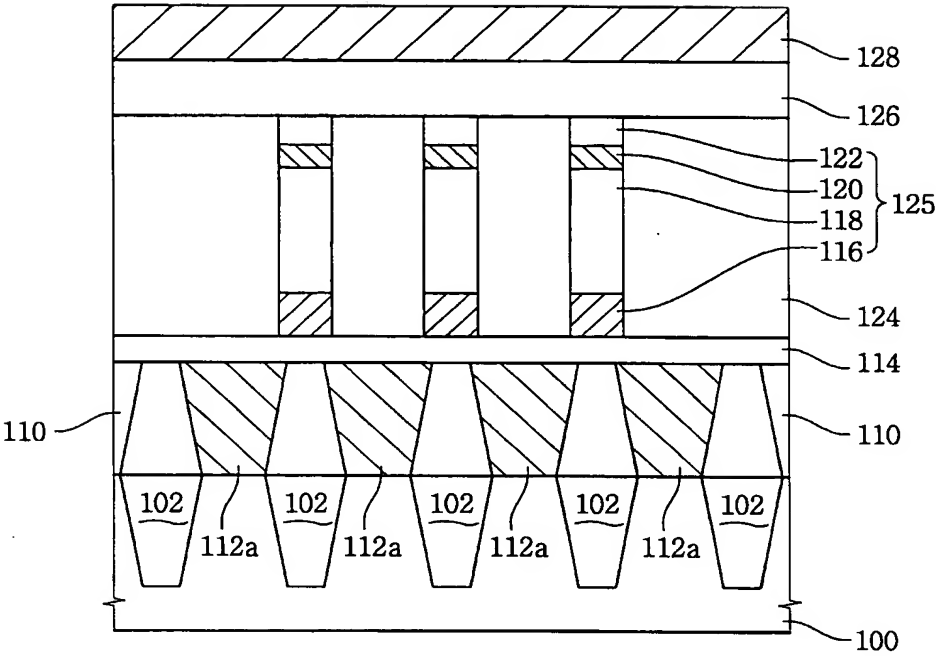
【도 5b】



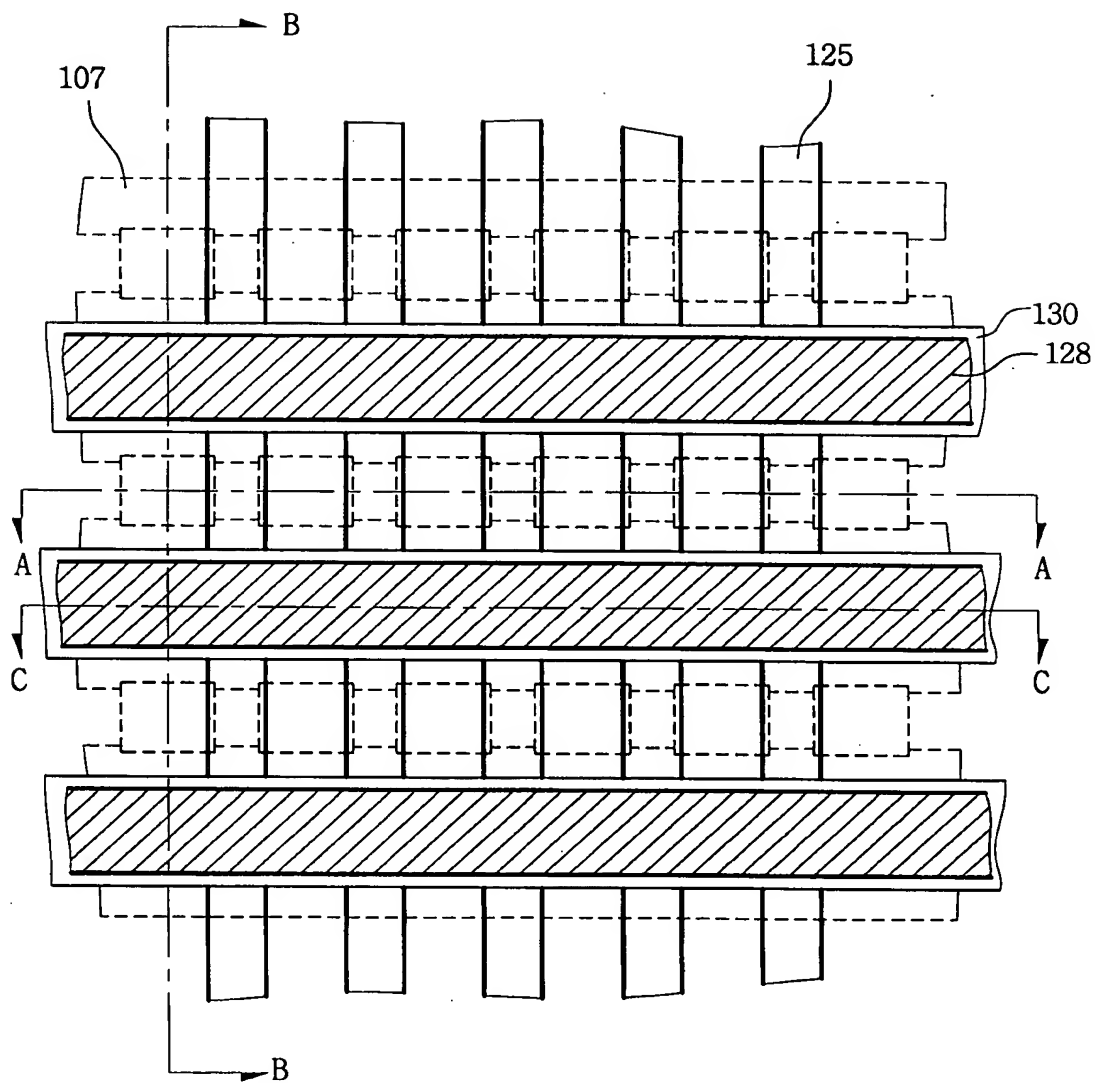
【도 5c】



【도 5d】

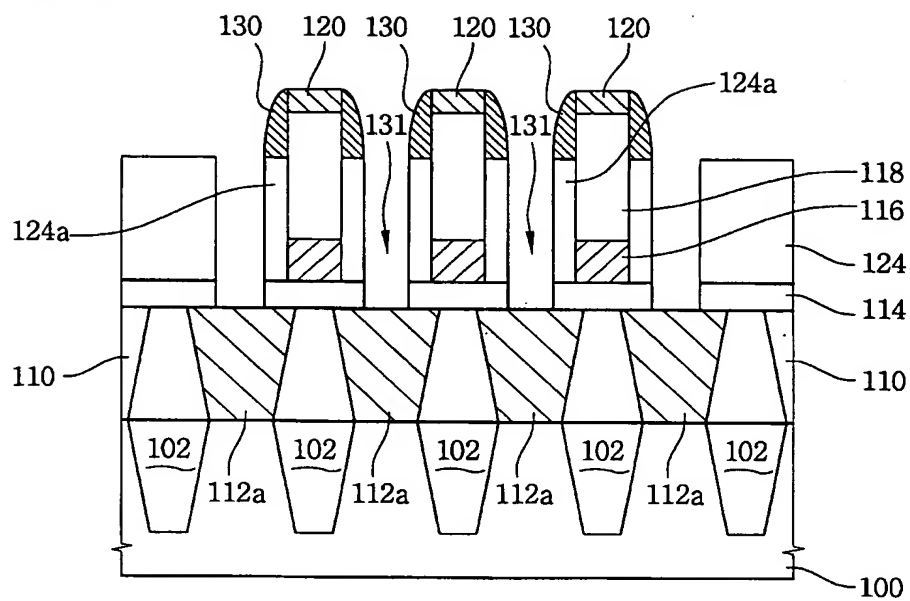


【도 6a】

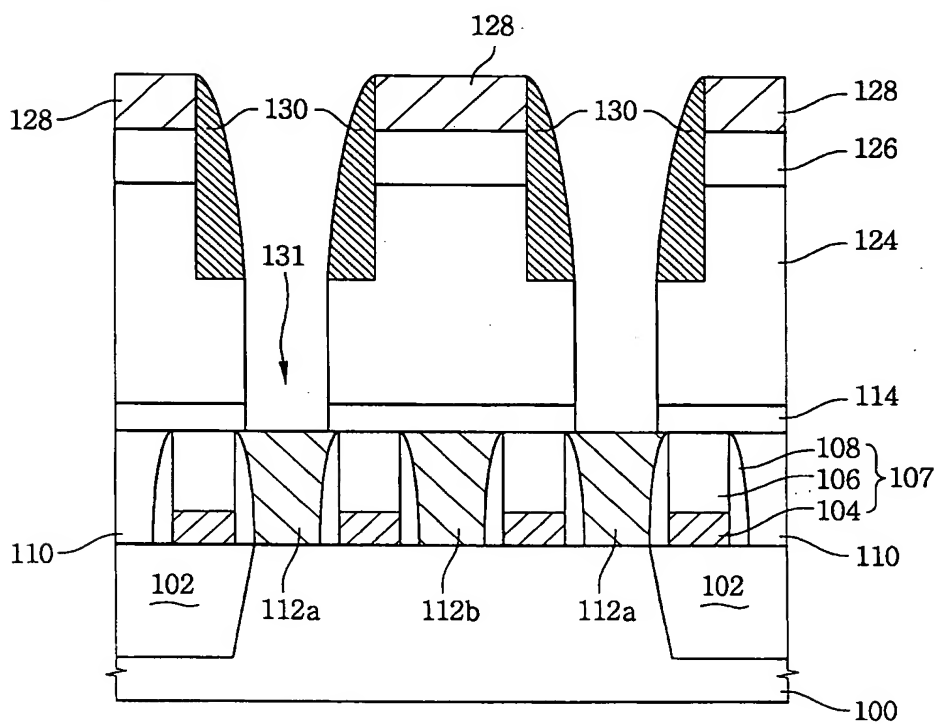




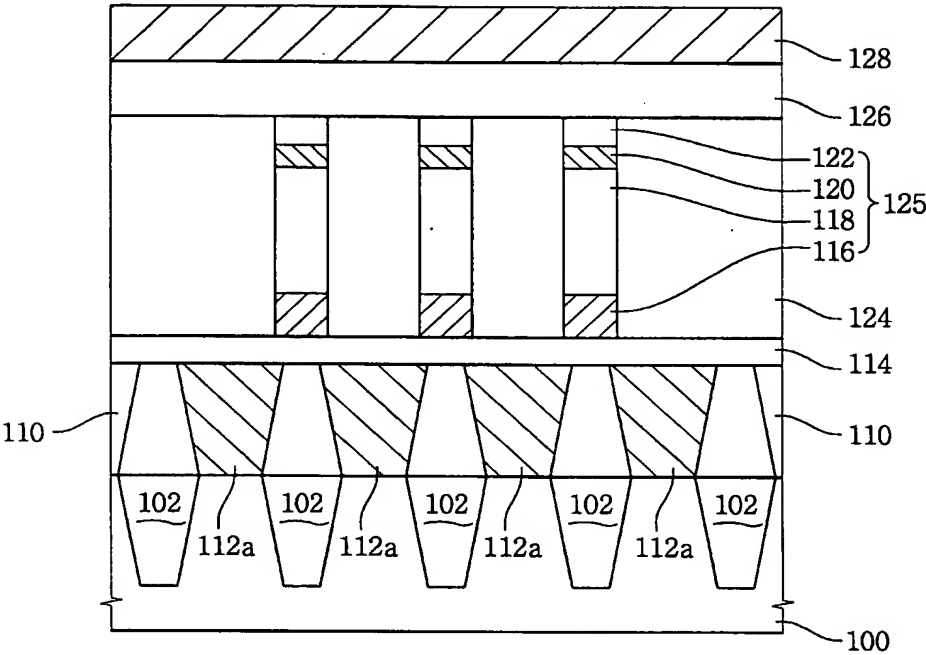
【도 6b】



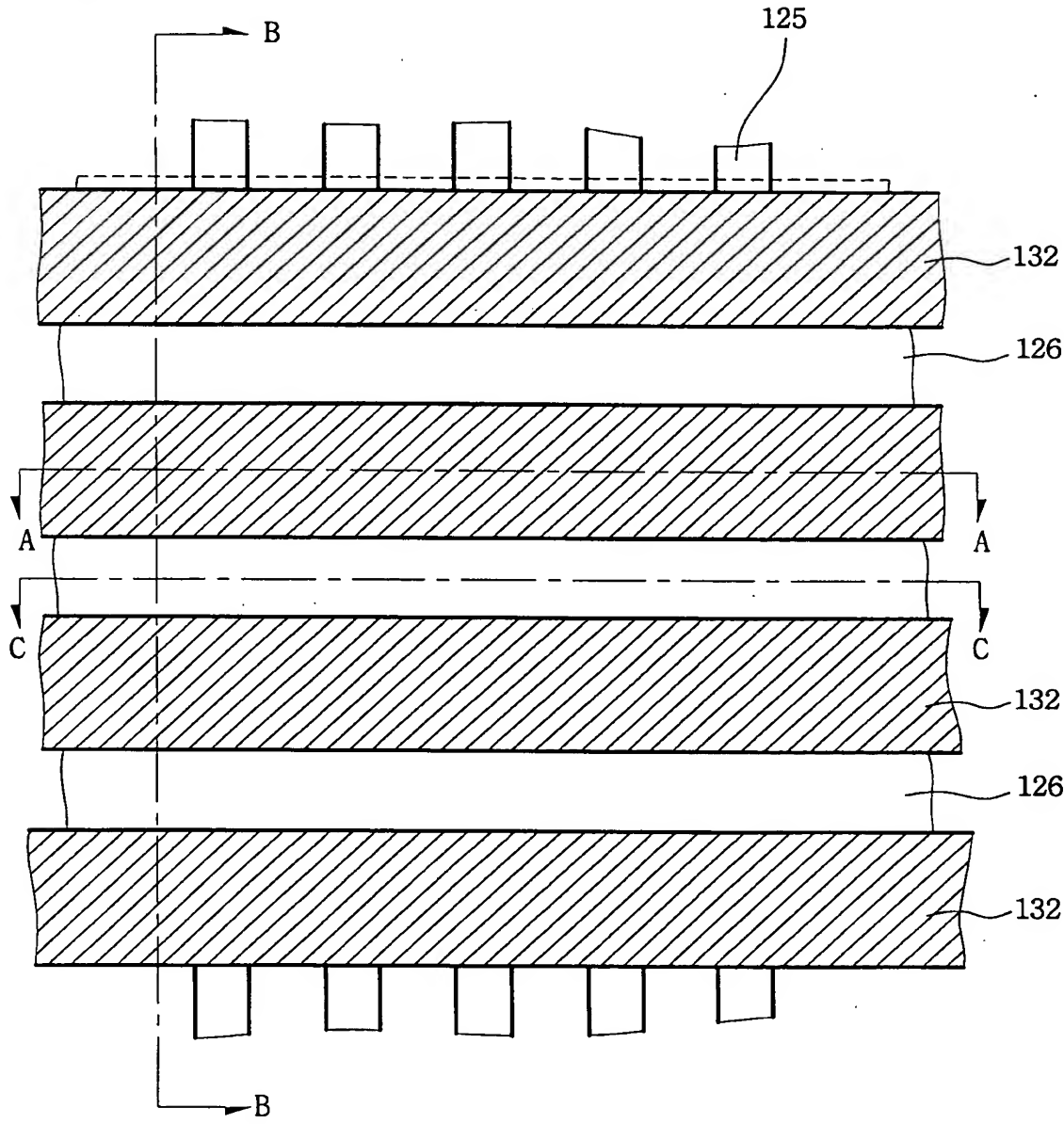
【도 6c】



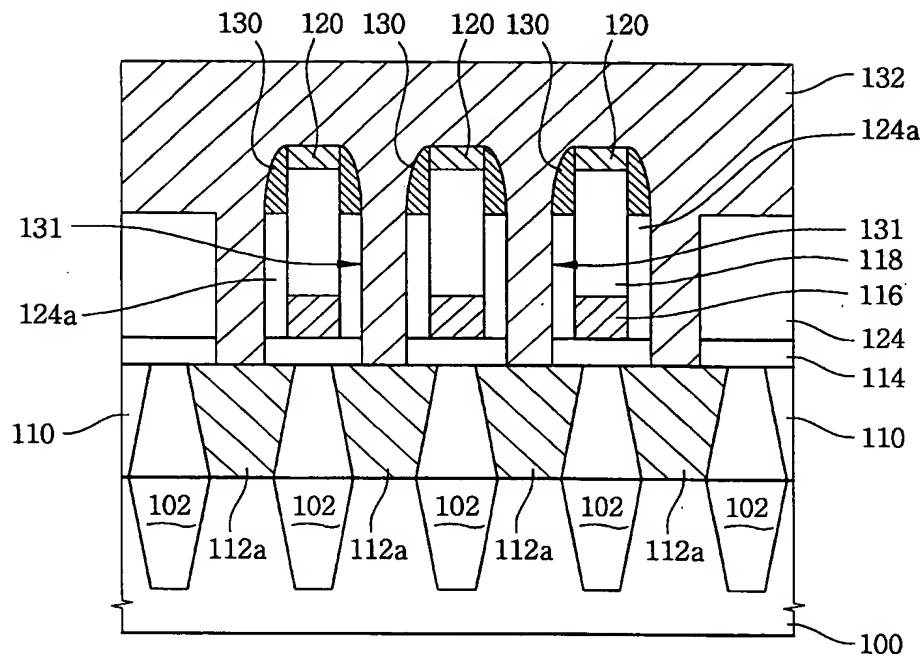
【도 6d】



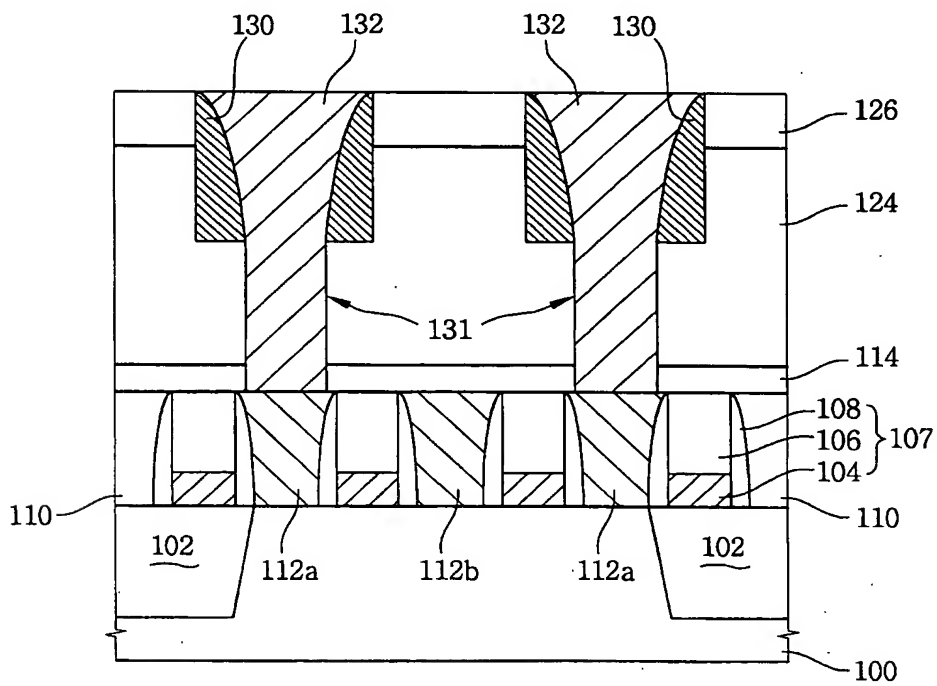
【도 7a】



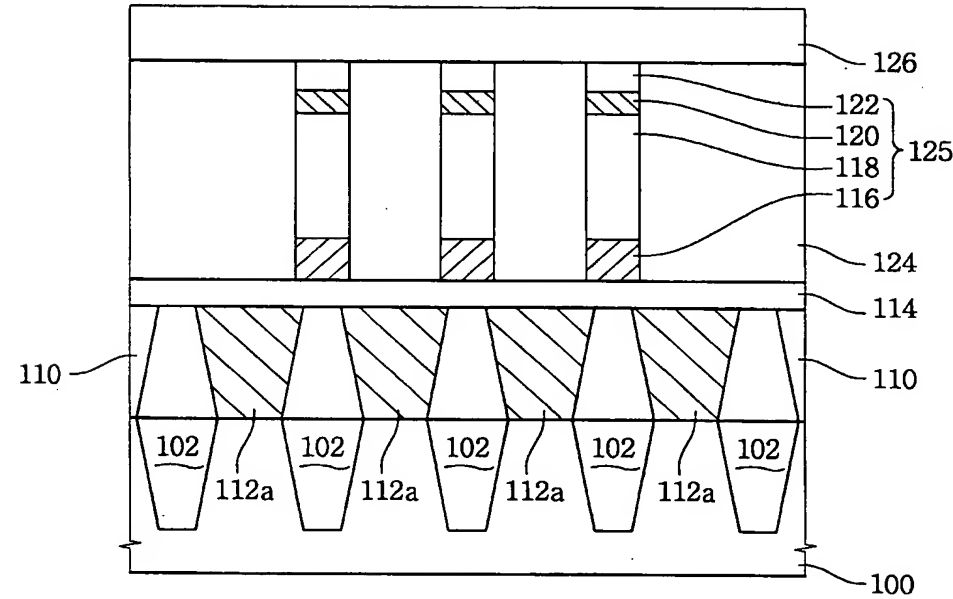
【도 7b】



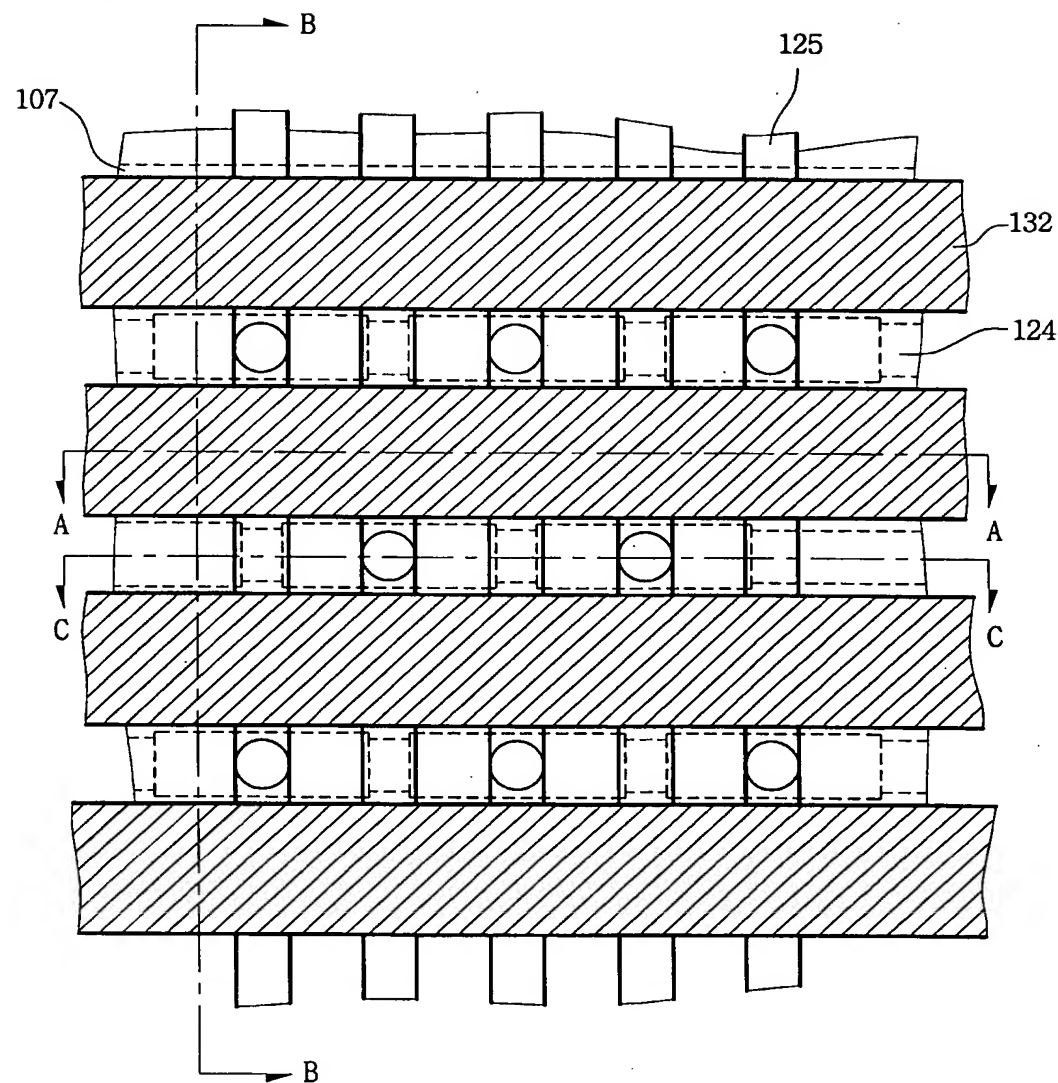
【도 7c】



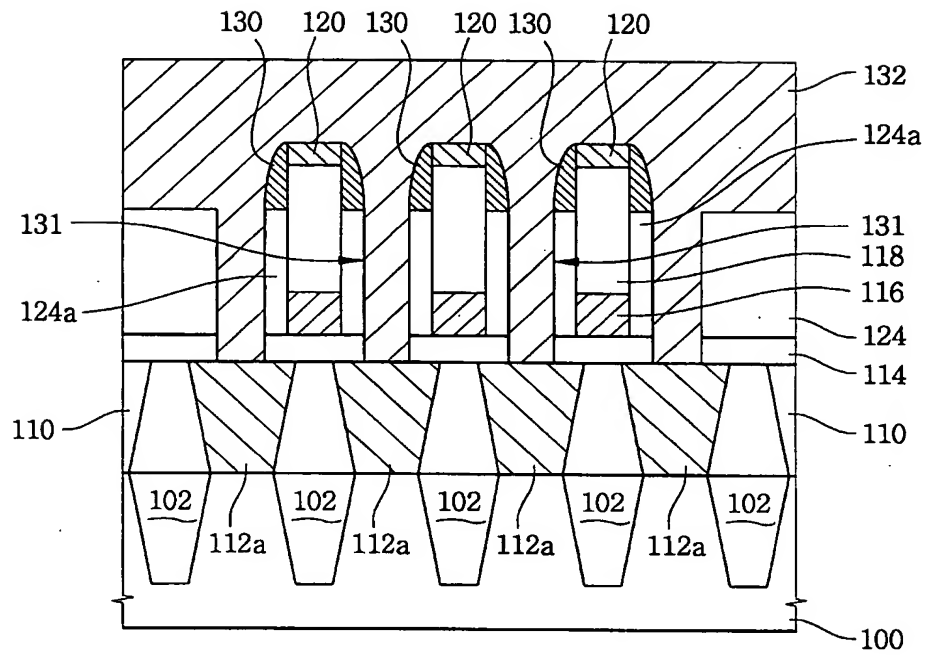
【도 7d】



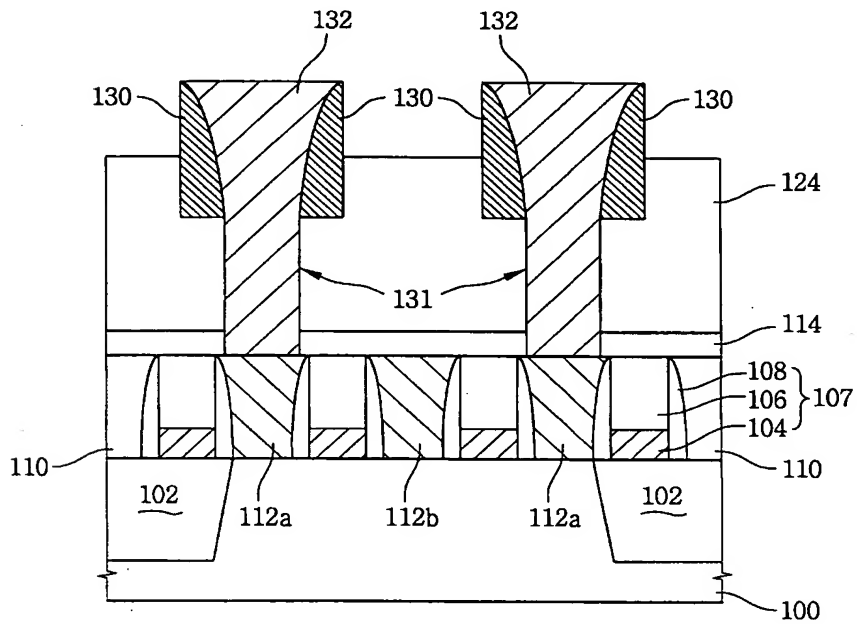
【도 8a】



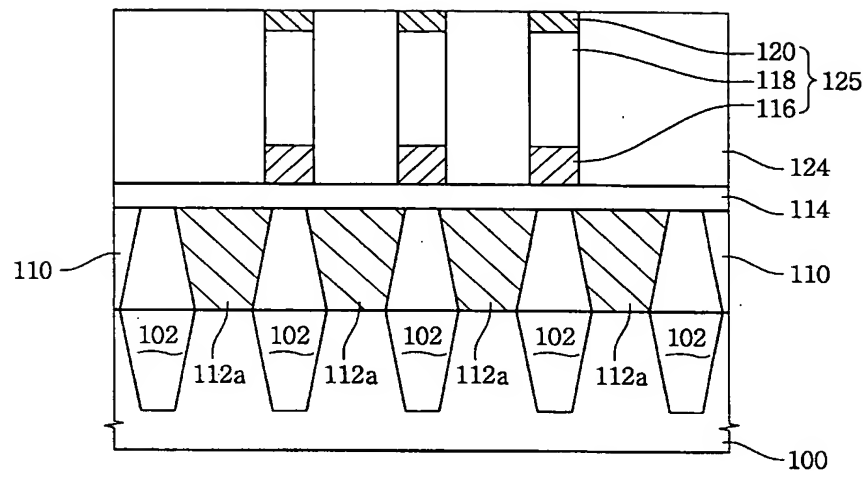
【도 8b】



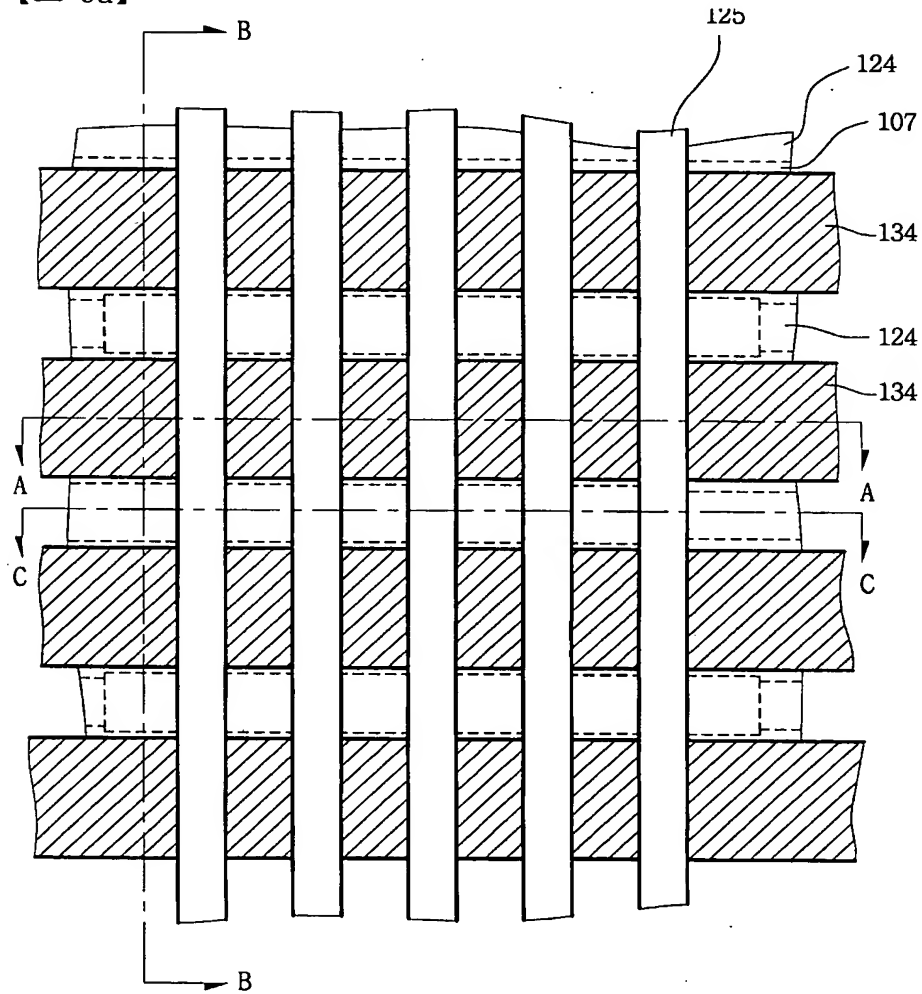
【도 8c】



【도 8d】



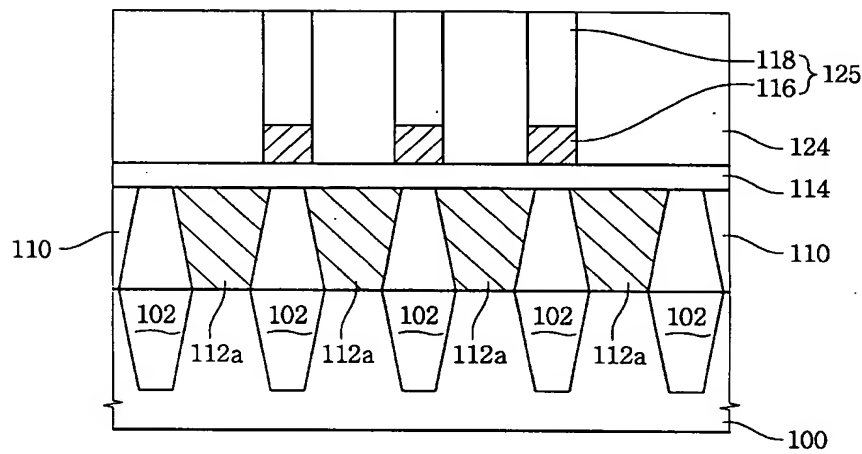
【도 9a】



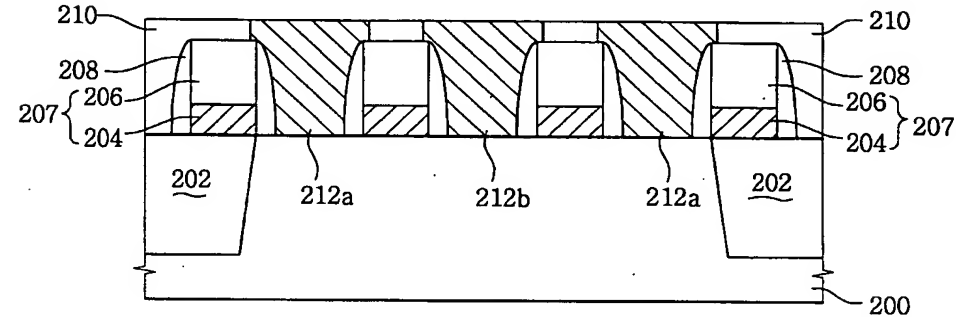




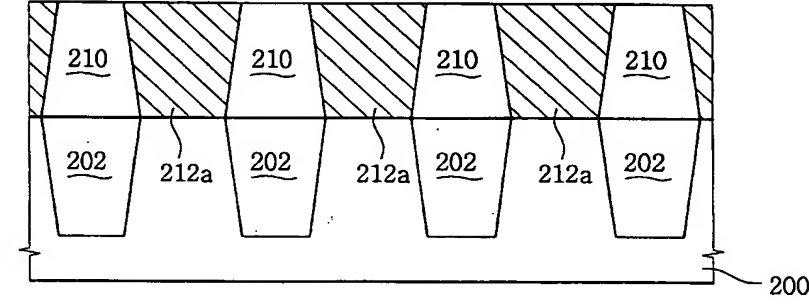
【도 9d】



【도 10a】

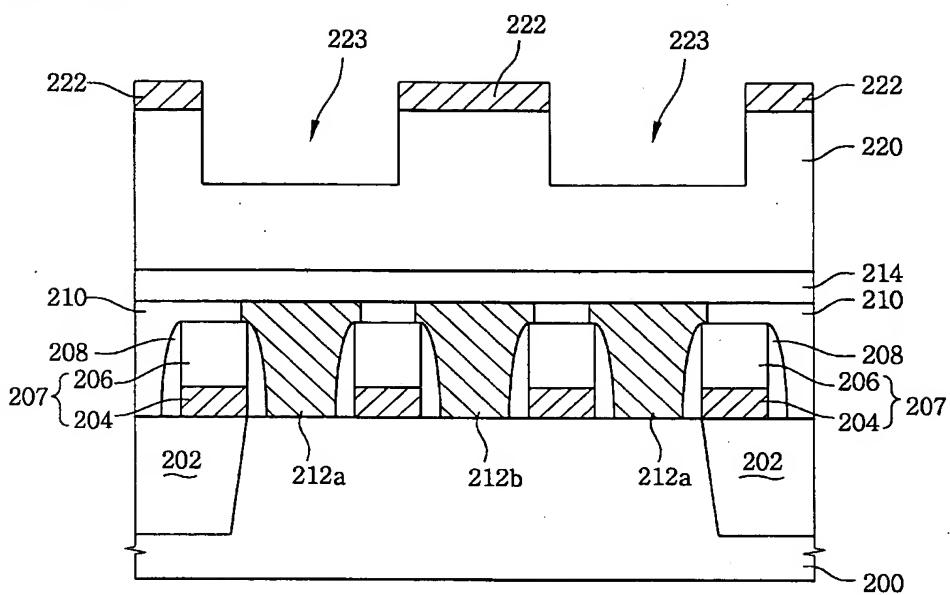


【도 10b】

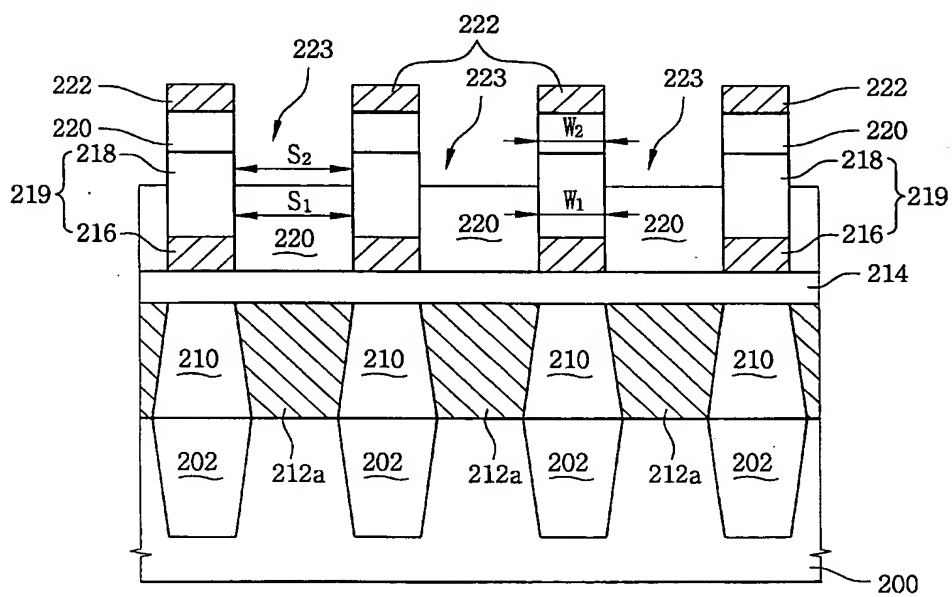




【도 12a】



【도 12b】

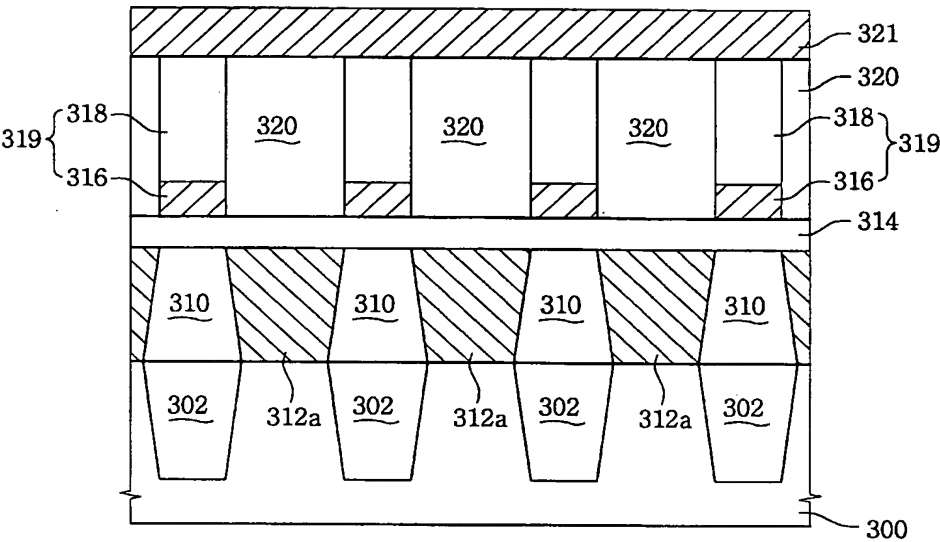




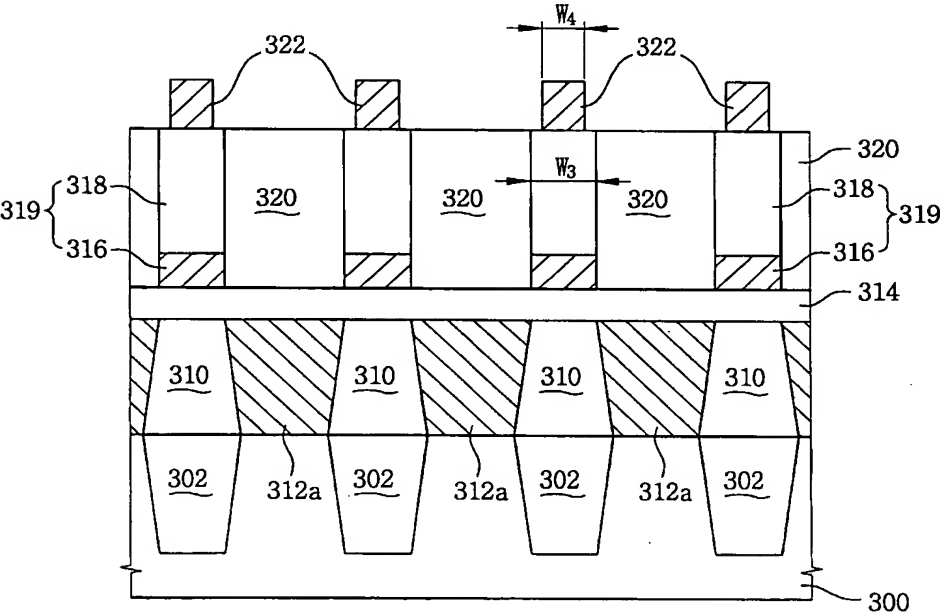




【도 16a】

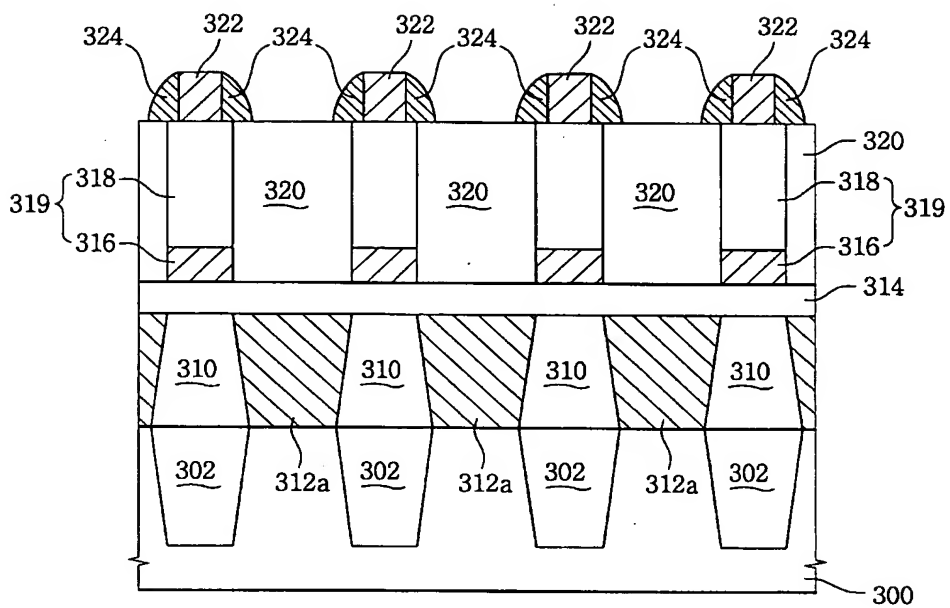


【도 16b】

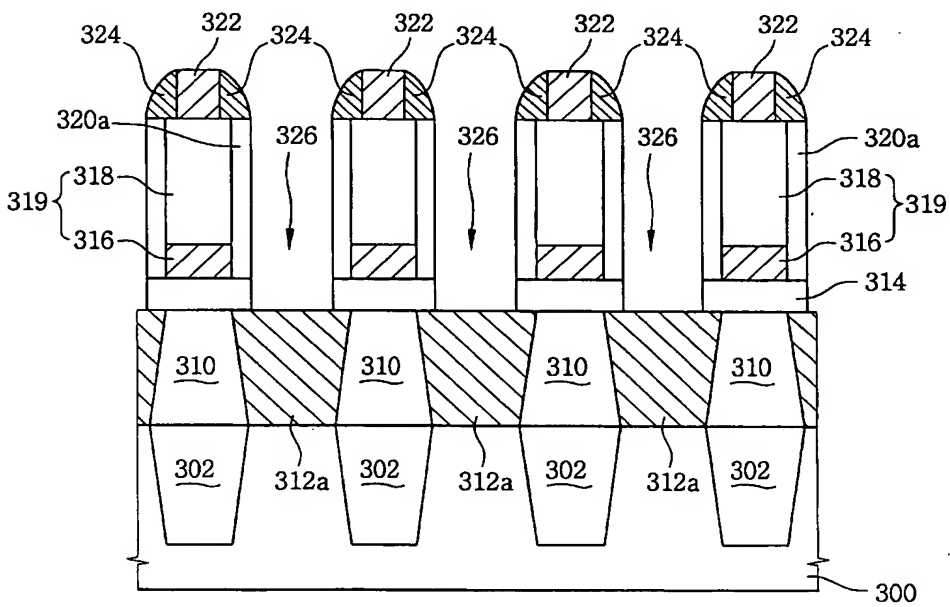




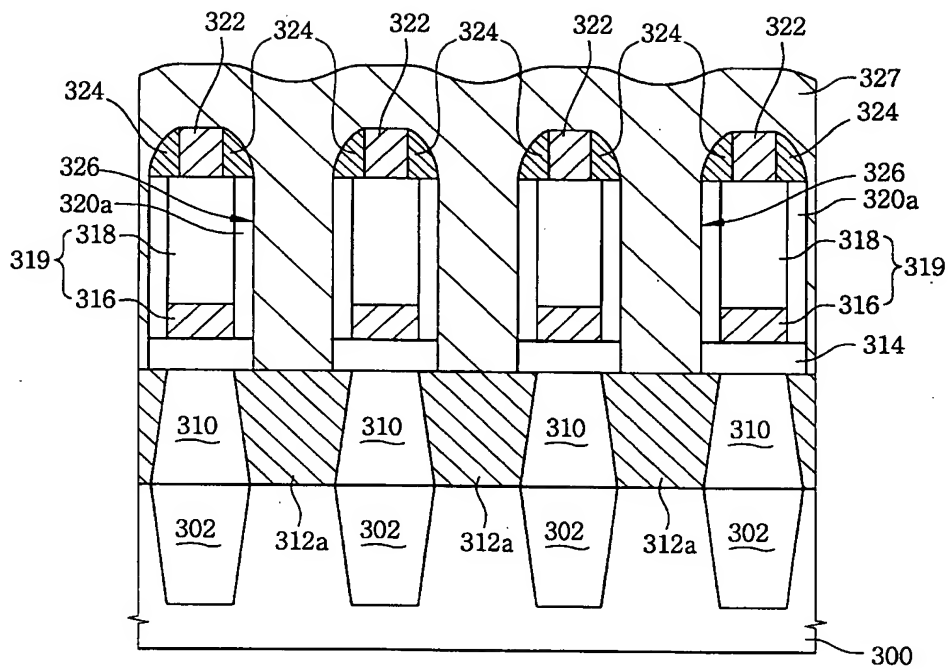
【도 16c】



【도 16d】



【도 16e】



【도 16f】

